

JP2001176804

**Title:
METHOD FOR FORMING SEMICONDUCTOR LAYER**

Abstract:

PROBLEM TO BE SOLVED: To provide a forming method for a semiconductor which can shorten an operation time and lower manufacture cost by greatly decreasing the defect density of structure defects in the semiconductor layer, especially the density of penetration dislocation, without requiring complicated processes. **SOLUTION:** With this method for forming a semiconductor layer, a structural defect suppressing substance which suppresses structure defects in the semiconductor layer is supplied to then top surface of a substance layer, where the semiconductor layer is formed.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-176804

(P 2 0 0 1 - 1 7 6 8 0 4 A)

(43)公開日 平成13年6月29日 (2001. 6. 29)

(51) Int. Cl.⁷
 H01L 21/205
 21/203
 33/00
 H01S 5/343

識別記号

F I
 H01L 21/205
 21/203
 33/00
 H01S 5/343

テマコード (参考)
 5F041
 Z 5F045
 C 5F073
 5F103

審査請求 有 請求項の数14 O L (全26頁)

(21)出願番号

特願平11-354563

(22)出願日

平成11年12月14日 (1999. 12. 14)

(71)出願人 000006792
 理化学研究所
 埼玉県和光市広沢2番1号
 (71)出願人 596129776
 田中 悟
 埼玉県和光市丸山台2-14-5 プレミ
 ル和光101号
 (71)出願人 599175576
 武内 道一
 埼玉県富士見市関沢2-4-27
 (74)代理人 100087000
 弁理士 上島 淳一

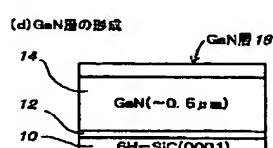
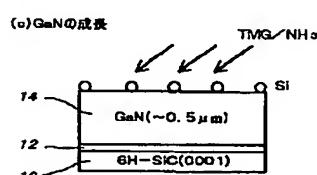
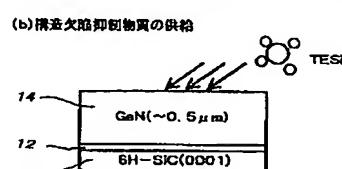
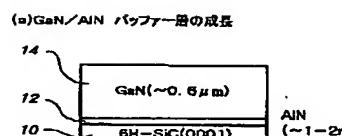
最終頁に続く

(54)【発明の名称】半導体層の形成方法

(57)【要約】

【課題】煩雑な工程を必要とすることなしに、当該半導体層中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を大幅に低減させることができるようにして、作業時間の短縮化を図ることができるとともに、製造コストを低減することのできる半導体層の形成方法を提供する。

【解決手段】半導体層を形成する半導体層の形成方法において、半導体層中の構造欠陥を抑制する構造欠陥抑制物質を、当該半導体層が形成される物質層の表面に供給する。



【特許請求の範囲】

【請求項 1】 半導体層を形成する半導体層の形成方法において、

半導体層中の構造欠陥を抑制する構造欠陥抑制物質を供給することを特徴とする半導体層の形成方法。

【請求項 2】 半導体層を形成する半導体層の形成方法において、

半導体層中の構造欠陥を抑制する構造欠陥抑制物質を、該半導体層を形成しようとする物質層の表面に供給することを特徴とする半導体層の形成方法。

【請求項 3】 半導体層を形成する半導体層の形成方法において、

半導体層を形成するときに、該半導体層を形成する物質の供給とともに、該半導体層中の構造欠陥を抑制する構造欠陥抑制物質を同時に供給することを特徴とする半導体層の形成方法。

【請求項 4】 半導体層を形成する半導体層の形成方法において、

基板上にバッファー層を形成する第 1 のステップと、前記第 1 のステップによって形成された前記バッファー層の表面に、形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質を所定の量供給する第 2 のステップと、

前記第 2 のステップにおいて前記形成すべき半導体層への前記構造欠陥抑制物質が供給された前記バッファー層の表面に、該半導体層を形成する第 3 のステップとを有し、

前記第 3 のステップにおける該半導体層の膜厚を 1 nm 以上とするものである半導体層の形成方法。

【請求項 5】 請求項 4 に記載の半導体層の形成方法において、

前記第 3 のステップによって形成された前記半導体層の表面に、形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質を所定の量供給する第 4 のステップと、前記第 4 のステップにおいて前記形成すべき半導体層への前記構造欠陥抑制物質が供給された前記半導体層の表面に、該半導体層を形成する第 5 のステップとを有し、前記 4 のステップと前記第 5 のステップとを前記第 3 のステップが終了した後に 1 回以上行うものである半導体層の形成方法。

【請求項 6】 請求項 4 または請求項 5 のいずれか 1 項に記載の半導体層の形成方法において、

少なくとも前記第 2 のステップまたは前記第 4 のステップのいずれかにおいて、

少なくともレーザー光、電子線、ラジカル、イオンビームまたは原子状水素のいずれかを用いるものである半導体層の形成方法。

【請求項 7】 請求項 4 、請求項 5 または請求項 6 のいずれか 1 項に記載の半導体層の形成方法において、

少なくとも前記第 2 のステップまたは前記第 4 のステップ

のいずれかにおいて、

形成すべき半導体層中の構造欠陥を抑制する複数の種類の構造欠陥抑制物質を所定の量供給するものである半導体層の形成方法。

【請求項 8】 半導体層を形成する半導体層の形成方法において、

基板上にバッファー層を形成する第 1 のステップと、前記第 1 のステップによって形成された前記バッファー層の表面に、形成すべき半導体層を形成する物質の供給と

形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給とを同一のタイミングで開始するとともに、前記形成すべき半導体層を形成する物質の供給より前記形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給を早いタイミングで終了するものである第 2 のステップとを有し、

前記第 2 のステップにおける該半導体層の膜厚は 1 nm 以上とするものである半導体層の形成方法。

【請求項 9】 請求項 8 に記載の半導体層の形成方法において、

前記第 2 のステップによって形成された前記半導体層の表面に、形成すべき半導体層を形成する物質の供給と形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給とを同一のタイミングで開始するとともに、前記形成すべき半導体層を形成する物質の供給より前記形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給を早いタイミングで終了するものである第 3 のステップとを有し、

前記 3 のステップを前記第 2 のステップが終了した後に少なくとも 1 回は行うものである半導体層の形成方法。

【請求項 10】 請求項 8 または請求項 9 のいずれか 1 項に記載の半導体層の形成方法において、

少なくとも前記第 2 のステップまたは前記第 3 のステップのいずれかにおいて、

少なくともレーザー光、電子線、ラジカル、イオンビームまたは原子状水素のいずれかを用いるものである半導体層の形成方法。

【請求項 11】 請求項 8 、請求項 9 または請求項 10 のいずれか 1 項に記載の半導体層の形成方法において、少なくとも前記第 2 のステップまたは前記第 3 のステップのいずれかにおいて、

形成すべき半導体層中の構造欠陥を抑制する複数の種類の構造欠陥抑制物質を所定の量供給するものである半導体層の形成方法。

【請求項 12】 請求項 4 、請求項 5 、請求項 6 、請求項 7 、請求項 8 、請求項 9 、請求項 10 または請求項 11 のいずれか 1 項に記載の半導体層の形成方法において、

前記基板は、炭化シリコン基板 (6 H-SiC 基板、4 H-SiC 基板) 、炭化シリコンとシリコンとの積層基板 (SiC/Si 基板) 、シリコン基板 (Si 基板) 、

サファイア基板 (Al_2O_3 基板) 、酸化亜鉛とサファイアとの積層基板 (ZnO/Al_2O_3 基板) 、ゲルマニウム基板 (Ge 基板) 、ヒ化ガリウム基板 (GaAs 基板) 、ヒ化インジウム基板 (InAs 基板) 、リン化ガリウム基板 (GaP 基板) 、リン化インジウム基板 (InP 基板) またはスピネル基板 ($MgAl_2O_4$ 、 $LiGaO_2$) であり、

前記構造欠陥抑制物質は、元素の周期表におけるI-A族のH (水素) 、II-A族のBe (ベリリウム) 、Mg (マグネシウム) 、III-B族のAl (アルミニウム) 、Ga (ガリウム) 、In (インジウム) 、IV-B族のC (炭素) 、Si (ケイ素) 、Ge (ゲルマニウム) 、Sn (スズ) 、V-B族のN (窒素) 、P (リン) 、As (ヒ素) 、Sb (アルチモン) 、またはVI-B族のO (酸素) 、S (硫黄) 、Se (セレン) 、Te (テルル) であり、

前記半導体層は、IV族半導体であるC (ダイヤモンド) 、Si (シリコン) 、Ge (ゲルマニウム) 、SiC、SiGe、SiCGe であるか、III-V族二元系半導体であるBN、AlN、GaN、InN、BP、AlP、GaP、InP、BAs、AlAs、GaAs、InAs であるか、III-V族三元系混晶半導体である $BA1N$ 、 $BGaN$ 、 BiN 、 $AlGaN$ 、 $AlInN$ 、 $GaInN$ 、 $BA1P$ 、 $BGaP$ 、 BiN 、 $AlGaP$ 、 $AlInP$ 、 $GaInP$ 、 $BA1A$ 、 $BGaAs$ 、 $BiNAs$ 、 $AlGaAs$ 、 $AlInAs$ 、 $GaInAs$ 、 BNP 、 $BNAs$ 、 BPA 、 $AlNP$ 、 $AlNAs$ 、 $AlPAs$ 、 $GaNP$ 、 $GaNAs$ 、 $GaPAs$ 、 $InNP$ 、 $InNAs$ 、 $InPAs$ であるか、III-V族四元系混晶半導体である $BA1GaN$ 、 $BA1InN$ 、 $BGaN$ 、 $AlGaN$ 、 $BA1GaP$ 、 $BA1InP$ 、 $BGaN$ 、 $AlGaInP$ 、 $BA1GaAs$ 、 $BA1InAs$ 、 $BGaN$ 、 $AlGaN$ 、 $BA1InAs$ 、 $BA1NP$ 、 $BGaN$ 、 BiN 、 $AlGaN$ 、 $AlInNP$ 、 $GaInN$ 、 $BA1NAs$ 、 $BGaNAs$ 、 $BiNAs$ 、 $AlGaNAs$ 、 $AlInNAs$ 、 $GaInNAs$ 、 $BA1PAs$ 、 $BGaPAs$ 、 BiN 、 $AlGaPAs$ 、 $AlInPAs$ 、 $GaInPAs$ 、 $BNPAs$ 、 $AlNPAs$ 、 $GaNPA$ 、 $InNPA$ であるか、またはII-VI族半導体である ZnO 、 ZnS 、 $ZnSe$ 、 $ZnTe$ 、 CdO 、 CdS 、 $CdSe$ 、 $CdTe$ 、 $ZnCdO$ 、 $ZnCdS$ 、 $ZnCdSe$ 、 $ZnCdTe$ 、 $ZnOS$ 、 $ZnOSe$ 、 $ZnOTe$ 、 $ZnSSe$ 、 $ZnSTe$ 、 $ZnSeTe$ 、 $CdOS$ 、 $CdOSe$ 、 $CdOTe$ 、 $CdSSe$ 、 CdS 、 $CdSe$ 、 $ZnCdOS$ 、 $ZnCdOSe$ 、 $ZnCdOTe$ 、 $ZnCdSSe$ 、 $ZnCdS$ 、 $ZnCdSe$ 、 $ZnOSSe$ 、 $ZnOSTe$ 、 $ZnOSeTe$ 、 $ZnSSeTe$ 、 $CdOSSe$ 、 $CdOSTe$ 、 $CdOSeTe$ 、 C

dSsTe であるものである半導体層の形成方法。

【請求項13】 基板上にバッファー層を介して半導体層を形成する半導体層の形成方法において、

MOCVD (Metal organic Chemical Vapor Deposition) 、MBE (Molecular Beam Epitaxy) 、CBE (Chemical Beam Epitaxy) 、HVPE (Halide Vapor Phase Epitaxy) 、GSMBE (Gas-source Molecular Beam Epitaxy) 、MOMBE (Metal organic MBE) 、LPE (Liquid Phase Epitaxy) 、CVD (Chemical Vapor Deposition) 、スパッタリングまたは真空蒸着法を用い、

SiC基板または Al_2O_3 基板の表面に固体ガリウム (Ga) 、トリメチルガリウム (TMG) 、トリエチルガリウム (TEG) 、固体アルミニウム (Al) 、トリメチルアルミニウム (TMA) 、トリエチルアルミニウム (TEA) 、トリメチルアミンアラン (TMAA) 1) 、ジメチルエチルアミンアラン (DMEAAl) またはトリイソブチルアルミニウム (TIBA1) と、窒素ラジカル、アンモニア (NH_3) 、モノメチルヒドラジン (MMHy) またはジメチルヒドラジン (DMHy) とを供給して、バッファー層としてのGaN層、AlN層またはAlGaN層を形成する第1のステップと、

前記第1のステップにおいて形成された前記バッファー層たるGaN層、AlN層またはAlGaN層の表面に、成膜すべき半導体層としてGaN層、AlN層またはAlGaN層への構造欠陥抑制物質であるSiを、固体シリコン (Si) 、シラン (SiH_4) 、ジシラン (Si_2H_6) 、メチルシラン (CH_3SiH_3) 、ジメチルシラン ($(CH_3)_2SiH_2$) 、ジエチルシラン ($(C_2H_5)_2SiH_2$) 、トリメチルシラン ($(CH_3)_3SiH$) 、トリエチルシラン ($(C_2H_5)_3SiH$) 、テトラメチルシラン (TMSi) またはテトラエチルシラン (TESi) によって供給する第2のステップと、

前記第2のステップにおいて前記Siが供給された前記バッファー層たるGaN層、AlN層またはAlGaN層の表面に固体ガリウム (Ga) 、トリメチルガリウム (TMG) 、トリエチルガリウム (TEG) 、固体アルミニウム (Al) 、トリメチルアルミニウム (TMA) 、トリエチルアルミニウム (TEA) 、トリメチルアミンアラン (TMAA1) 、ジメチルエチルアミンアラン (DMEAAl) またはトリイソブチルアルミニウム (TIBA1) と、窒素ラジカル、アンモニア (NH_3) 、モノメチルヒドラジン (MMHy) またはジメチルヒドラジン (DMHy) とを供給して、前記半導体層

としてGaN層、AlN層またはAlGaN層を1nm以上の大さで形成する第3のステップとを有する半導体層の形成方法。

【請求項14】有機金属化学蒸着(MOCVD: Metal organic Chemical Vapor Deposition)装置によりSiC基板上またはAl₂O₃基板上にGaN層またはAlGaN層を形成する半導体層の形成方法において、SiC基板またはAl₂O₃基板の表面にトリメチルガリウム(TMG)またはトリエチルガリウム(TEG)とアンモニア(NH₃)とを供給して、バッファーレー層としてのGaN層を形成するか、または、トリメチルガリウム(TMG)またはトリエチルガリウム(TEG)とトリメチルアルミニウム(TMA)またはトリエチルアルミニウム(TEA)とアンモニア(NH₃)とを供給して、バッファーレー層としてのAlGaN層と形成する第1のステップと、第1のステップにおいて形成された前記バッファーレー層たるGaN層またはAlGaN層の表面に、GaN層またはAlGaN層へのn型不純物原料であるSiを、シラン(SiH₄)、ジシラン(Si₂H₆)またはテトラエチルシラン(TESi)によって1モノレイヤー以下供給する第2のステップと、前記第2のステップにおいて前記シラン(SiH₄)、ジシラン(Si₂H₆)またはテトラエチルシラン(TESi)が供給された前記バッファーレー層たるGaN層またはAlGaN層の表面に、トリメチルガリウム(TMG)またはトリエチルガリウム(TEG)とアンモニア(NH₃)とを供給して、GaN層を1nm以上の厚さで形成するか、または、トリメチルガリウム(TMG)またはトリエチルガリウム(TEG)とトリメチルアルミニウム(TMA)またはトリエチルアルミニウム(TEA)とアンモニア(NH₃)とを供給して、AlGaN層を1nm以上の厚さで形成する第3のステップとを有する半導体層の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体層の形成方法に関し、さらに詳細には、各種の材料からなる基板上などに、例えば、GaN(窒化ガリウム)などの薄膜や厚膜などのエピタキシャル半導体層を形成する際に用いて好適な半導体層の形成方法に関する。

【0002】

【従来の技術】近年、青色波長域～紫外波長域のような短波長域における発光素子材料として、III-V族窒化物半導体であるGaNが注目されており、GaN系薄膜を材料とした青色発光ダイオード(LED)が実現されるとともに、GaN系薄膜を材料とした青色レーザーの研究が進められている。

【0003】

ならず、例えば、InGaNを発光素子材料とするものなどが知られている。

【0004】こうしたGaN系薄膜を材料とした青色LEDの発光の効率を向上させたり、GaN系薄膜を材料とした青色レーザーを実現するためには、GaN系薄膜中に存在する、例えば、ミスフィット転位やミスフィット転位によって生じる貫通転位のような転位あるいは粒界などの構造欠陥を制御することが重要であると考えられている。

10 【0005】ところで、基板として広く使用されるサファイア(Al₂O₃)上に形成されたGaN薄膜における欠陥密度(単位面積当たりの構造欠陥の数)は、Al₂O₃上に形成され実用化されている他のIII-V族半導体(GaAs、InPなど)薄膜における欠陥密度と比較すると、極めて高い値を示していた。

【0006】このようなGaN系薄膜の欠陥密度の高さは、主にGaN系薄膜と基板材料(Al₂O₃)との格子不整合と熱膨張率差に起因するものであり、基板材料としてのGaN系薄膜と格子整合するGaN基板が存在しない現状においては、GaN系薄膜の欠陥密度の高さは避け難い問題として指摘されていた。

【0007】従来、GaN薄膜の欠陥密度の高さを改善するためには、薄膜構造を模式的に示した図1に示すように、基板材料として、例えば、SiC基板の一種である6H-SiC(0001)基板を用い、6H-SiC(0001)基板上にAlN薄膜(例えば、厚さ10nm以上)を形成し、このAlN薄膜上にGaN系薄膜(例えば、厚さ1.5μm)を形成するようにしていた。

30 【0008】即ち、AlN薄膜は、SiC基板との格子不整合率が1%であるとともに、GaN薄膜との格子不整合が2.5%であり、こうしたAlN薄膜をSiC基板とGaN系薄膜とのバッファーレー層として用いたものであった。

【0009】上記した図1に示す薄膜構造において、厚さ10nm以上のAlN薄膜上に1.5μmの厚さのGaNを形成した場合には構造欠陥の中の貫通転位に関しては、10⁹cm⁻²オーダーの転位密度が得られたが、さらに、転位密度を大幅に低減することが望まれていた。

【0010】こうした要望に鑑みて、最近においては、例えば、図2に示すようなELO(Epitaxial Lateral Overgrowth)法という手法が提案されている。

【0011】このELO法においては、まず、基板200上にバッファーレー層202を介してGaNの結晶成長を行って、当該GaNの結晶成長により第1のGaN層204を形成し、その後に、第1のGaN層204上に所定のマスクパターンでマスク206の形成を行う(図2(a)参照)。

【0012】そして、当該マスク 206 が形成された第 1 の GaN 層 204 上に、さらに、GaN の結晶成長を行って第 2 の GaN 層 208 を形成することにより、第 2 の GaN 層 208 中の貫通転位の転位密度を低減しようとするものである(図 2 (b) 参照)。

【0013】上記した ELO 法によると、第 1 の GaN 層 204 中においては $10^9 \sim 10^{10} \text{ cm}^{-2}$ オーダーの転位密度で貫通転位が発生するのに対して、マスク 206 によって覆われていない第 1 の GaN 層 204 上から成長する GaN の結晶は、マスク 206 上を横方向(図 2 (b) 矢印方向)に成長するようになるので、第 2 の GaN 層 208 中の貫通転位の転位密度は 10^7 cm^{-2} オーダーに低減されるものであった。

【0014】しかしながら、上記した ELO 法においては、第 1 の GaN 層 204 上に所定のマスクパターンでマスク 206 を形成する必要があるが(図 2 (a) 参照)、マスク 206 を形成するためにはエッチングなどの種々の作業工程が必要とされるので、作業時間が長時間に及ぶようになるとともに、製造コストなどが増大して、高価なものになるという問題点があった。

【0015】さらに、ELO 法においては、マスク 206 によって横方向に成長した GaN の結晶同士が融合する境界部分(図 2 (b) における点線部分)においては第 2 の GaN 層 208 中に貫通転位が発生し、当該境界部分を含む第 2 の GaN 層 208 を、例えば、青色 LED ようなデバイスなどに使用しないようにすると、デバイスなどに使用することができる GaN 系薄膜の領域が制限されてしまうという問題点があった。

【0016】

【発明が解決しようとする課題】本発明は、上記したような従来の技術の有する問題点に鑑みてなされたものであり、その目的とするところは、各種の材料からなる基板上などに GaN などの薄膜や厚膜の半導体層を形成する場合において、煩雑な工程を必要とすることなしに、当該半導体層中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を大幅に低減させることができるようにして、作業時間の短縮化を図ることができるとともに、製造コストを低減することのできる半導体層の形成方法を提供しようとするものである。

【0017】

【課題を解決するための手段】上記目的を達成するためには、本発明のうち請求項 1 に記載の発明は、半導体層を形成する半導体層の形成方法において、半導体層中の構造欠陥を抑制する構造欠陥抑制物質を供給するようにしたものである。

【0018】従って、本発明のうち請求項 1 に記載の発明によれば、半導体層中の構造欠陥を抑制する構造欠陥抑制物質が供給されるので、構造欠陥抑制物質が当該半導体層が形成される物質層の表面の構造欠陥、特に、貫通転位が発生している位置に吸着などするようになり、

半導体層中の構造欠陥、特に、貫通転位を抑制して転位密度を大幅に低減することができる。

【0019】また、本発明のうち請求項 2 に記載の発明は、半導体層を形成する半導体層の形成方法において、半導体層中の構造欠陥を抑制する構造欠陥抑制物質を、当該半導体層を形成しようとする物質層の表面に供給するようにしたものである。

【0020】従って、本発明のうち請求項 2 に記載の発明によれば、半導体層中の構造欠陥を抑制する構造欠陥抑制物質が当該半導体層が形成される物質層の表面に供給されるので、構造欠陥抑制物質が当該半導体層が形成される物質層の表面の構造欠陥、特に、貫通転位が発生している位置に吸着などするようになり、半導体層中の構造欠陥、特に、貫通転位を抑制して転位密度を大幅に低減することができる。

【0021】また、本発明のうち請求項 3 に記載の発明は、半導体層を形成する半導体層の形成方法において、半導体層を形成するときに、当該半導体層を形成する物質の供給とともに、当該半導体層中の構造欠陥を抑制する構造欠陥抑制物質を同時に供給するようにしたものである。

【0022】従って、本発明のうち請求項 3 に記載の発明によれば、半導体層中の構造欠陥を抑制する構造欠陥抑制物質が、当該半導体層を形成する物質の供給とともに同時に供給されるので、構造欠陥抑制物質が当該半導体層が形成される物質層の表面の構造欠陥、特に、貫通転位が発生している位置に吸着などするようになり、半導体層中の構造欠陥、特に、貫通転位を抑制して転位密度を大幅に低減することができる。

【0023】また、本発明のうち請求項 4 に記載の発明は、半導体層を形成する半導体層の形成方法において、基板上にバッファー層を形成する第 1 のステップと、上記第 1 のステップによって形成された上記バッファー層の表面に、形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質を所定の量供給する第 2 のステップと、上記第 2 のステップにおいて上記形成すべき半導体層への上記構造欠陥抑制物質が供給された上記バッファー層の表面に、当該半導体層を形成する第 3 のステップとを有し、上記第 3 のステップにおける当該半導体層の膜厚を 1 nm 以上とするようにしたものである。

【0024】従って、本発明のうち請求項 4 に記載の発明によれば、第 1 のステップにおいて基板上にバッファー層が形成され、第 2 のステップにおいてバッファー層の表面に、形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質が所定の量供給され、第 3 のステップにおいて構造欠陥抑制物質が供給されたバッファー層の表面に、当該半導体層が 1 nm 以上の膜厚で形成されるので、基板上に形成されたバッファー層中において構造欠陥、特に、貫通転位が多数発生するのに対して、当該バッファー層の表面に所定の量供給された構造欠陥抑制

物質によって、1 nm以上の膜厚で形成される半導体層中においては構造欠陥、特に、貫通転位の密度を大幅に低減することができる。

【0025】また、本発明のうち請求項5に記載の発明は、請求項4に記載の発明において、上記第3のステップによって形成された上記半導体層の表面に、形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質を所定の量供給する第4のステップと、上記第4のステップにおいて上記形成すべき半導体層への上記構造欠陥抑制物質が供給された上記半導体層の表面に、当該半導体層を形成する第5のステップとを有し、上記第4のステップと上記第5のステップとを上記第3のステップが終了した後に1回以上行うようにしたものである。

【0026】従って、本発明のうち請求項5に記載の発明によれば、第3のステップにおいて形成された半導体層の表面に、第4のステップにおいて形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質が所定の量供給され、第5のステップにおいて構造欠陥抑制物質が供給された半導体層の表面に半導体層が形成され、第4のステップと上記第5のステップとが第3のステップを終了した後に1回以上行われるので、半導体層を複数層積層することができる。

【0027】ここで、本発明のうち請求項6に記載の発明のように、請求項4または請求項5のいずれか1項に記載の発明において、少なくとも上記第2のステップまたは上記第4のステップのいずれかにおいて、少なくともレーザー光、電子線、ラジカル、イオンビームまたは原子状水素のいずれかを用いることができ、このようにすると、構造欠陥抑制物質の供給された表面における表面拡散が促進され、構造欠陥抑制物質が当該表面の構造欠陥、特に、貫通転位が発生している位置に容易に吸着などするようになり、当該表面の原子レベルにおける改質を一層促進することができる。

【0028】また、本発明のうち請求項7に記載の発明は、請求項4、請求項5または請求項6のいずれか1項に記載の発明において、少なくとも上記第2のステップまたは上記第4のステップのいずれかにおいて、形成すべき半導体層中の構造欠陥を抑制する複数の種類の構造欠陥抑制物質を所定の量供給するようにしたものである。

【0029】従って、本発明のうち請求項7に記載の発明によれば、請求項4、請求項5または請求項6のいずれか1項に記載の発明において、少なくとも上記第2のステップまたは上記第4のステップのいずれかにおいて、形成すべき半導体層中の構造欠陥を抑制する複数の種類の構造欠陥抑制物質が所定の量供給されるので、構造欠陥抑制物質の供給された表面における表面拡散が促進され、構造欠陥抑制物質が当該表面の構造欠陥、特に、貫通転位が発生している位置に容易に吸着などするようになり、当該表面の原子レベルにおける改質を一層

促進することができる。

【0030】また、本発明のうち請求項8に記載の発明は、半導体層を形成する半導体層の形成方法において、基板上にバッファー層を形成する第1のステップと、上記第1のステップによって形成された上記バッファー層の表面に、形成すべき半導体層を形成する物質の供給と形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給とを同一のタイミングで開始するとともに、上記形成すべき半導体層を形成する物質の供給より上記形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給を早いタイミングで終了するものである第2のステップとを有し、上記第2のステップにおける当該半導体層の膜厚は1 nm以上とするようにしたものである。

【0031】従って、本発明のうち請求項8に記載の発明によれば、第1のステップにおいて、基板上にバッファー層が形成され、第2のステップにおいてバッファー層の表面に、形成すべき半導体層を形成する物質の供給と形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給とが同一のタイミングで開始されるとともに、上記形成すべき半導体層を形成する物質の供給より上記形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給が早いタイミングで終了され、当該半導体層が1 nm以上の膜厚で形成されるので、基板上に形成されたバッファー層中において構造欠陥、特に、貫通転位が多数発生するのに対して、当該バッファー層の表面に所定の量供給された構造欠陥抑制物質によって、1 nm以上の膜厚で形成される半導体層中においては構造欠陥、特に、貫通転位の密度を大幅に低減することができる。

【0032】また、本発明のうち請求項9に記載の発明は、請求項8に記載の発明において、上記第2のステップによって形成された上記半導体層の表面に、形成すべき半導体層を形成する物質の供給と形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給とを同一のタイミングで開始するとともに、上記形成すべき半導体層を形成する物質の供給より上記形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給を早いタイミングで終了するものである第3のステップとを有し、上記3のステップを上記第2のステップが終了した後に少なくとも1回は行うようにしたものである。

【0033】従って、本発明のうち請求項9に記載の発明によれば、第2のステップにおいて形成された上記半導体層の表面に、第3のステップにおいて形成すべき半導体層を形成する物質の供給と形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給とが同一のタイミングで開始されるとともに、上記形成すべき半導体層を形成する物質の供給より上記形成すべき半導体層中の構造欠陥を抑制する構造欠陥抑制物質の供給が早いタイミングで終了され、第3のステップが第2のステッ

プが終了した後に少なくとも1回は行われるので、半導体層を複数層積層することができる。

【0034】ここで、本発明のうち請求項10に記載の発明のように、請求項8または請求項9のいずれか1項に記載の発明において、少なくとも上記第2のステップまたは上記第3のステップのいずれかにおいて、少なくともレーザー光、電子線、ラジカル、イオンビームまたは原子状水素のいずれかを用いることができ、このようにすると、構造欠陥抑制物質の供給された表面における表面拡散が促進され、構造欠陥抑制物質が当該表面の構造欠陥、特に、貫通転位が発生している位置に容易に吸着などするようになり、当該表面の原子レベルにおける改質を一層促進することができる。

【0035】また、本発明のうち請求項11に記載の発明は、請求項8、請求項9または請求項10のいずれか1項に記載の発明において、少なくとも上記第2のステップまたは上記第3のステップのいずれかにおいて、形成すべき半導体層中の構造欠陥を抑制する複数の種類の構造欠陥抑制物質を所定の量供給するようにしたものである。

【0036】従って、本発明のうち請求項11に記載の発明によれば、請求項8、請求項9または請求項10のいずれか1項に記載の発明において、少なくとも上記第2のステップまたは上記第3のステップのいずれかにおいて、形成すべき半導体層中の構造欠陥を抑制する複数の種類の構造欠陥抑制物質が所定の量供給されるので、構造欠陥抑制物質の供給された表面における表面拡散が促進され、構造欠陥抑制物質が当該表面の構造欠陥、特に、貫通転位が発生している位置に容易に吸着などするようになり、当該表面の原子レベルにおける改質を一層促進することができる。

【0037】また、本発明のうち請求項12に記載の発明のように、請求項4、請求項5、請求項6、請求項7、請求項8、請求項9、請求項10または請求項11のいずれか1項に記載の発明において、上記基板を、炭化シリコン基板(6H-SiC基板、4H-SiC基板)、炭化シリコンとシリコンとの積層基板(SiC/Si基板)、シリコン基板(Si基板)、サファイア基板(Al₂O₃基板)、酸化亜鉛とサファイアとの積層基板(ZnO/Al₂O₃基板)、ゲルマニウム基板

(Ge基板)、ヒ化ガリウム基板(GaAs基板)、ヒ化インジウム基板(InAs基板)、リン化ガリウム基板(GaP基板)、リン化インジウム基板(InP基板)またはスピネル基板(MgAl₂O₄、LiGaO₂)とすることができます、構造欠陥抑制物質を、元素の周期表におけるI-A族のH(水素)、II-A族のBe(ベリリウム)、Mg(マグネシウム)、III-B族のAl(アルミニウム)、Ga(ガリウム)、In(インジウム)、IV-B族のC(炭素)、Si(ケイ素)、Ge(ゲルマニウム)、Sn(スズ)、V-B族

のN(窒素)、P(リン)、As(ヒ素)、Sb(アルチモン)、またはVI-B族のO(酸素)、S(硫黄)、Se(セレン)、Te(テルル)とすることができます、半導体層は、IV族半導体であるC(ダイヤモンド)、Si(シリコン)、Ge(ゲルマニウム)、SiC、SiGe、SiCGeであるか、III-V族二元系半導体であるBN、AlN、GaN、InN、BP、AlP、GaP、InP、BAs、AlAs、GaAs、InAsであるか、III-V族三元系混晶半導体であるAlN、BGaN、BInN、AlGaN、AlInN、GaInN、BAlP、BGaP、BInP、AlGaP、AlInP、GaInP、BAIAs、BGAAs、BInAs、AlGaAs、AlInAs、GaInAs、BNP、BNAs、BPAs、AlNP、AlNAs、AlPAs、GaNP、GaNAs、GaPAs、InNP、InNAs、InPAsであるか、III-V族四元系混晶半導体であるAlGaInN、AlGaInP、BAlInN、BGAInN、AlGaInN、BAlGaP、BAlInP、BGaInP、AlGaInP、BAlGaAs、BAlInAs、BGaInAs、AlGaInAs、BAlNP、BGaNP、BInNP、AlInNP、GaInNP、BAInAs、BGaNAs、BInNAs、AlGaNAs、AlInNAs、GaInNAs、BAIPAs、BGaPAs、BInPAs、AlGaPAs、AlInPAs、GaInPAs、BNPAs、AlNPAs、GaNPAs、InNPAsであるか、またはII-VI族半導体であるZnO、ZnS、ZnSe、ZnTe、CdO、CdS、CdSe、CdTe、ZnCdO、ZnCdS、ZnCdSe、ZnCdTe、ZnOSe、ZnOTE、ZnSSe、ZnSTE、ZnSeTe、CdOS、CdOSe、CdOTE、CdSSe、CdSTE、CdSeTe、ZnCdOS、ZnCdOSE、ZnCdOTE、ZnCdSSe、ZnCdSTe、ZnCdSeTe、ZnOSe、ZnOSTe、ZnOSeTe、ZnSSeTe、CdOSSe、CdOSTe、CdOSeTe、CdSSeTeとすることができます。

【0038】また、本発明のうち請求項13に記載の発明は、基板上にバッファー層を介して半導体層を形成する半導体層の形成方法において、MOCVD(Metal organic Chemical Vapor Deposition)、MBE(Molecular Beam Epitaxy)、CBE(Chemical Beam Epitaxy)、HVPE(Halide Vapor Phase Epitaxy)、GSMBE(Gas-source Molecular Beam Epitaxy)、MOMBE(Metal organic MBE)、LPE(Liquid Phase Epitaxy)、CVD(Chemical

al Vapor Deposition) 、スパッタリングまたは真空蒸着法を用い、SiC基板またはAl₂O₃基板の表面に固体ガリウム (Ga) 、トリメチルガリウム (TMG) 、トリエチルガリウム (TEG) 、固体アルミニウム (Al) 、トリメチルアルミニウム (TMA) 、トリエチルアルミニウム (TEA) 、トリメチルアミンアラン (TMAA1) 、ジメチルエチルアミンアラン (DMEA1) またはトリイソブチルアルミニウム (TIBA1) と、窒素ラジカル、アンモニア (NH₃) 、モノメチルヒドラジン (MMH_y) またはジメチルヒドラジン (DMH_y) とを供給して、バッファー層としてのGaN層、AlN層またはAlGaN層を形成する第1のステップと、上記第1のステップにおいて形成された上記バッファー層たるGaN層、AlN層またはAlGaN層の表面に、成膜すべき半導体層としてGaN層、AlN層またはAlGaN層への構造欠陥抑制物質であるSiを、固体シリコン (Si) 、シラン (SiH₄) 、ジシラン (Si₂H₆) 、メチルシラン (CH₃SiH₃) 、ジメチルシラン ((CH₃)₂SiH₂) 、ジエチルシラン ((C₂H₅)₂SiH₂) 、トリメチルシラン ((CH₃)₃SiH) 、トリエチルシラン ((C₂H₅)₃SiH) 、テトラメチルシラン (TMSi) またはテトラエチルシラン (TESi) によって供給する第2のステップと、上記第2のステップにおいて上記Siが供給された上記バッファー層たるGaN層、AlN層またはAlGaN層の表面に固体ガリウム (Ga) 、トリメチルガリウム (TMG) 、トリエチルガリウム (TEG) 、固体アルミニウム (Al) 、トリメチルアルミニウム (TMA) 、トリエチルアルミニウム (TEA) 、トリメチルアミンアラン (TMAA1) 、ジメチルエチルアミンアラン (DMEA1) またはトリイソブチルアルミニウム (TIBA1) と、窒素ラジカル、アンモニア (NH₃) 、モノメチルヒドラジン (MMH_y) またはジメチルヒドラジン (DMH_y) とを供給して、上記半導体層としてGaN層、AlN層またはAlGaN層を1nm以上の厚さで形成する第3のステップとを有するようにしたものである。

【0039】従って、本発明のうち請求項13に記載の発明によれば、基板上にバッファー層を介して半導体層を形成する半導体層の形成方法において、MOCVD (Metal organic Chemical Vapor Deposition) 、MBE (Molecular Beam Epitaxy) 、CBE (Chemical Beam Epitaxy) 、HVPE (Halide Vapor Phase Epitaxy) 、GSMBE (Gas-source Molecular Beam Epitaxy) 、MOMBE (Metal organic MBE) 、LPE (Liquid Phase Epitaxy) 、CVD (C

hemical Vapor Deposition) 、スパッタリングまたは真空蒸着法を用い、第1のステップにおいてSiC基板またはAl₂O₃基板の表面に固体ガリウム (Ga) 、トリメチルガリウム (TMG) 、トリエチルガリウム (TEG) 、固体アルミニウム (Al) 、トリメチルアルミニウム (TMA) 、トリエチルアルミニウム (TEA) 、トリメチルアミンアラン (TMAA1) 、ジメチルエチルアミンアラン (DMEA1) またはトリイソブチルアルミニウム (TIBA1) と、窒素ラジカル、アンモニア (NH₃) 、モノメチルヒドラジン (MMH_y) またはジメチルヒドラジン (DMH_y) との供給によってバッファー層としてのGaN層、AlN層またはAlGaN層が形成され、第2のステップにおいてバッファー層たるGaN層、AlN層またはAlGaN層の表面に、成膜すべき半導体層としてGaN層、AlN層またはAlGaN層への構造欠陥抑制物質であるSiが固体シリコン (Si) 、シラン (SiH₄) 、ジシラン (Si₂H₆) 、メチルシラン (CH₃SiH₃) 、ジメチルシラン ((CH₃)₂SiH₂) 、ジエチルシラン ((C₂H₅)₂SiH₂) 、トリメチルシラン ((CH₃)₃SiH) 、トリエチルシラン ((C₂H₅)₃SiH) 、テトラメチルシラン (TMSi) またはテトラエチルシラン (TESi) によって供給され、第3のステップにおいてSiが供給された上記バッファー層たるGaN層、AlN層またはAlGaN層の表面に固体ガリウム (Ga) 、トリメチルガリウム (TMG) 、トリエチルガリウム (TEG) 、固体アルミニウム (Al) 、トリメチルアルミニウム (TMA) 、トリエチルアルミニウム (TEA) 、トリメチルアミンアラン (TMAA1) 、ジメチルエチルアミンアラン (DMEA1) またはトリイソブチルアルミニウム (TIBA1) と、窒素ラジカル、アンモニア (NH₃) 、モノメチルヒドラジン (MMH_y) またはジメチルヒドラジン (DMH_y) との供給によって半導体層としてGaN層、AlN層またはAlGaN層が1nm以上の厚さで形成されるものであり、SiはGaN層、AlN層またはAlGaN層の表面に吸着し、これによりGaN層、AlN層またはAlGaN層の表面が原子レベルで改質され、その後に半導体層としてGaN層、AlN層またはAlGaN層が形成されることになり、半導体層たるGaN層、AlN層またはAlGaN層中の構造欠陥の欠陥密度、特に、貫通軌位の転位密度を著しく低減することができる。

【0040】さらに、構造欠陥抑制物質として供給されるSiは、GaN層、AlN層またはAlGaN層へのn型不純物原料として用いられている金属であるので、n型半導体層としてGaN層、AlN層またはAlGaN層を形成する際において品質を劣化する物質とはならないものであり、当該Siの供給は容易に行うことができる。

【0041】また、本発明のうち請求項14に記載の発明は、有機金属化学蒸着 (MOCVD : Metal organic Chemical Vapor Deposition) 装置により SiC 基板上または Al₂O₃ 基板上に GaN 層または AlGaN 層を形成する半導体層の形成方法において、SiC 基板または Al₂O₃ 基板の表面にトリメチルガリウム (TMG) またはトリエチルガリウム (TEG) とアンモニア (NH₃) とを供給して、バッファー層としての GaN 層を形成するか、または、トリメチルガリウム (TMG) またはトリエチルガリウム (TEG) とトリメチルアルミニウム (TMA) またはトリエチルアルミニウム (TEA) とアンモニア (NH₃) とを供給して、バッファー層としての AlGaN 層と形成する第1のステップと、第1のステップにおいて形成された上記バッファー層たる GaN 層または AlGaN 層の表面に、GaN 層または AlGaN 層への n 型不純物原料である Si を、シラン (SiH₄) 、ジシラン (Si₂H₆) またはテトラエチルシラン (TESi) によって1モノレイヤー以下供給する第2のステップと、上記第2のステップにおいて上記シラン (SiH₄) 、ジシラン (Si₂H₆) またはテトラエチルシラン (TESi) が供給された上記バッファー層たる GaN 層または AlGaN 層の表面に、トリメチルガリウム (TMG) またはトリエチルガリウム (TEG) とアンモニア (NH₃) とを供給して、GaN 層を 1 nm 以上の厚さで形成するか、または、トリメチルガリウム (TMG) またはトリエチルガリウム (TEG) とトリメチルアルミニウム (TMA) またはトリエチルアルミニウム (TEA) とアンモニア (NH₃) とを供給して、AlGaN 層を 1 nm 以上の厚さで形成する第3のステップとを有するようにしたものである。

【0042】従って、本発明のうち請求項14に記載の発明によれば、有機金属化学蒸着 (MOCVD : Metal organic Chemical Vapor Deposition) 装置により SiC 基板上または Al₂O₃ 基板上に GaN 層または AlGaN 層を形成する半導体層の形成方法において、第1のステップにおいて SiC 基板または Al₂O₃ 基板の表面にトリメチルガリウム (TMG) またはトリエチルガリウム (TEG) とアンモニア (NH₃) とが供給され、バッファー層としての GaN 層が形成され、または、トリメチルガリウム (TMG) またはトリエチルガリウム (TEG) とトリメチルアルミニウム (TMA) またはトリエチルアルミニウム (TEA) とアンモニア (NH₃) とが供給され、バッファー層としての AlGaN 層が形成され、第2のステップにおいて、バッファー層たる GaN 層または AlGaN 層の表面に、GaN 層または AlGaN 層への n 型不純物原料である Si が、シラン (SiH₄) 、ジシラン (Si₂H₆) またはテトラエチルシラン (TESi) によって1モノレイヤー以下供給さ

れ、第3のステップにおいてシラン (SiH₄) 、ジシラン (Si₂H₆) またはテトラエチルシラン (TESi) が供給された上記バッファー層たる GaN 層または AlGaN 層の表面に、トリメチルガリウム (TMG) またはトリエチルガリウム (TEG) とアンモニア (NH₃) とが供給され、GaN 層が 1 nm 以上の厚さで形成され、または、トリメチルガリウム (TMG) またはトリエチルガリウム (TEG) とトリメチルアルミニウム (TMA) またはトリエチルアルミニウム (TEA) とアンモニア (NH₃) とが供給され、AlGaN 層が 1 nm 以上の厚さで形成されるものであり、シラン (SiH₄) 、ジシラン (Si₂H₆) またはテトラエチルシラン (TESi) 中の Si は GaN 層または AlGaN 層の表面に吸着し、これにより、GaN 層または AlGaN 層の表面が原子レベルで改質され、その後に半導体層として GaN 層または AlGaN 層が形成されることになり、半導体層たる GaN 層中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を著しく低減することができる。

【0043】さらに、構造欠陥抑制物質として供給される Si は、GaN 層または AlGaN 層への n 型不純物原料として用いられている金属であるので、半導体層として GaN 層または AlGaN 層を形成する際において品質を劣化する物質とはならないものであり、当該 Si の供給は容易に行うことができる。

【0044】

【発明の実施の形態】以下、添付の図面を参照しながら、本発明による半導体層の形成方法の第1の実施の形態を詳細に説明するものとする。

【0045】図3には、本発明による半導体層の形成方法の第1の実施の形態によって、SiC (炭化シリコン) 基板の一種である 6H-SiC (0001) 基板上に半導体層として GaN 薄膜を形成する状態が時系列に従って模式的に示されており、図3 (a) に示す状態から順次、図3 (b) に示す状態、図3 (c) に示す状態を経て、図3 (d) に示す状態に移行するものである。

【0046】ここで、この実施の形態においては、図3 (d) に示す薄膜構造を形成するには、横型の減圧 (76 Torr) した有機金属化学蒸着 (MOCVD : Metal organic Chemical Vapor Deposition) 装置を用いることとするが、これに限られるものではないことは勿論であり、後述するように、MOCVD以外のスパッタリングなどの薄膜製造技術を用いてもよい。

【0047】また、図4 (a) 乃至図4 (d) には、MOCVD 法を用いて図3 (d) に示す薄膜構造を形成する際の処理条件が示されており、図5には、本発明による半導体層の形成方法の第1の実施の形態により、TESi (後述する) と半導体層としての GaN 薄膜を形成するガスとが供給されるタイミングを示す説明図が示さ

れている。

【0048】さらに、図6には、透過型電子顕微鏡(TEM)による、図4に示す処理条件により形成された図3(d)に示す薄膜構造の断面の電子顕微鏡写真が示されている。

【0049】ここで、本発明の理解を容易にするために、本発明による半導体層の形成方法の第1の実施の形態により図3(d)に示す薄膜構造を形成する際の処理の概要を説明すると、まず、基板としての6H-SiC(0001)基板10上に、バッファーレー層としてAlN(窒化アルミニウム)薄膜12を形成する(図3(a)参照)。

【0050】その後、当該AlN薄膜12上に、バッファーレー層としてGaNバッファーレー層14を形成し、それからこのGaNバッファーレー層14の表面14aにn型不純物原料としてテトラエチルシラン(TESi)を供給する(図3(b)参照)。

【0051】それから、TESiを供給した後のGaNバッファーレー層14上に、トリメチルガリウム(TMG)およびアンモニア(NH₃)を供給して、半導体層としてGaN層18を形成する。

【0052】そうすると、このTESiが、構造欠陥、特に、貫通転位の成長を抑制する作用を働き、当該TESiの供給後にトリメチルガリウム(TMG)およびアンモニア(NH₃)を供給して、GaNの結晶成長によって半導体層として形成されるGaN層18の欠陥密度、特に、転位密度を大幅に低減させることができた。

【0053】以下、本発明による半導体層の形成方法の第1の実施の形態により図3(d)に示す薄膜構造を形成する際の処理を詳細に説明することとする。

【0054】まず、図4(a)に示す処理条件により、6H-SiC(0001)基板10上に、バッファーレー層たるAlN薄膜12を形成し、さらに、図4(b)に示す処理条件により、当該AlN薄膜12上にバッファーレー層たるGaNバッファーレー層14を形成する(図3(a)参照)。

【0055】このGaNバッファーレー層14は、当該GaNバッファーレー層14の下層に形成されるAlN薄膜12と当該GaNバッファーレー層14の上層に形成されるGaN層18との間に介在するバッファーレー層たるものであり、基板材料(6H-SiC(0001))との格子不整合に起因して、GaNバッファーレー層14中には10⁹～10¹⁰cm⁻²オーダーの転位密度で貫通転位が観察される(図5参照)。

【0056】そして、AlN薄膜12上にGaNバッファーレー層14を形成した(図3(a)に示す状態)後に、GaNへのn型不純物原料として用いられている金属であるTESiを、図4(c)に示す処理条件により、タイミングT1(図5参照)でGaNバッファーレー層14の表面14aに供給する(図3(b)参照)。

【0057】この際、上記したようにGaNバッファーレー層14中には貫通転位が発生しており、GaNバッファーレー層14の表面14aの当該貫通転位が発生している位置においては原子間隔が広がっている。

【0058】なお、上記したようなGaNバッファーレー層14の表面14aの当該貫通転位が発生している位置(以下、転位芯位置と称する。)における原子間隔の広がりの大きさは、文献によるところ転位芯構造は8.10f₀1dであることから、供給されるTESi中のSiが容易に吸着(結合)しうる大きさである考えられるものである。

【0059】そのような状態のGaNバッファーレー層14の表面14aにTESiが供給されると、供給されたTESi中のSiがGaNバッファーレー層14の表面14aの転位芯位置に吸着して(図3(c)参照)、GaNバッファーレー層14の表面14aが原子レベルで改質される。

【0060】こうしたGaNバッファーレー層14の表面14aの原子レベルでの改質は、TESi中のSiに起因するものであり、TESiはGaNバッファーレー層14の表面14aを原子レベルで改質することによって、GaNバッファーレー層14の表面14aに形成されるGaN層18中の構造欠陥、特に、貫通転位の発生を抑制して、欠陥密度、特に転位密度を低下するものである。

【0061】なお、本明細書においては、上記したTESiのように、当該TESiが供給される物質層の表面を原子レベルで改質して、当該TESiが供給された物質層の表面に形成される物質層における貫通転位などの構造欠陥を抑制し、転位密度などの欠陥密度を低下する物質を、「構造欠陥抑制物質」と称する。

【0062】そして、タイミングT1(図5参照)から所定時間t1後(図5参照)のタイミングT2(図5参照)において、GaNバッファーレー層14の表面14aへのTESiの供給を終了するとともに、図4(d)に示す処理条件により、トリメチルガリウム(TMG)およびアンモニア(NH₃)の供給を開始して、GaNバッファーレー層14上にTESiの供給の処理を行った界面(図6参照)を介してGaN層18を形成する(図3(c)(d)参照)。

【0063】その後、タイミングT2(図5参照)から所定時間t2後(図5参照)のタイミングT3(図5参照)において、トリメチルガリウム(TMG)およびアンモニア(NH₃)との供給を終了し、形成されたGaN層18中(膜厚1nm)には、わずかに10⁶cm⁻²オーダーの転位密度で貫通転位が観察された(図6参照)。

【0064】つまり、バッファーレー層たるGaNバッファーレー層14中においては、多数(10⁹～10¹⁰cm⁻²オーダーの転位密度)の貫通転位が発生しているの50に対して、当該GaNバッファーレー層14上にTESiの

供給の処理を行った界面を介して形成されたGaN層18中においては、貫通転位の密度が大幅に低減（10⁶ cm⁻²オーダーの転位密度）しているものであった（図6参照）。

【0065】上記したように、本発明による半導体層の形成方法の第1の実施の形態においては、構造欠陥抑制物質たるTESiを供給するようにしたので、TESi中のSiによってバッファー層たるGaNバッファー層14の表面14aが原子レベルで改質されて、半導体層たるGaN層18中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を著しく低減することができる。

【0066】さらに、本発明による半導体層の形成方法の第1の実施の形態においては、構造欠陥の発生を抑制するためには、構造欠陥抑制物質たるTESiを所定の量供給するという極めて簡単な処理を行うだけによく、ELO法におけるマスクの形成に際してのエッチングなどのような種々の煩雑な工程を行う必要がないため、作業時間を短縮化することができるとともに、製造コストを低減することができる。

【0067】なお、構造欠陥抑制物質として供給されるTESiは、GaNへのn型不純物原料として用いられている金属であるので、半導体層としてGaN層18を形成する際ににおいて品質を劣化する物質とはならないものであり、当該TESiの供給は容易に行うことができるものである。

【0068】さらにまた、本発明による半導体層の形成方法の第1の実施の形態においては、構造欠陥抑制物質たるTESiのSiがGaNバッファー層14の表面14aに吸着し、GaNバッファー層14の表面14aを原子レベルで改質した後にGaN層18が形成されるので、ELO法において生成される貫通転位が発生し易い境界部分（図2（b）における点線部分）のような部分がGaN層18中には存在しないため、デバイスなどに使用することができるGaN薄膜の領域が制限されるようなことはなく、工業上利用しやすいGaN薄膜を得ることができる。

【0069】次に、図7（a）（b）を参照しながら、本発明による半導体層の形成方法の第2の実施の形態を説明する。

【0070】図7（a）には、本発明による半導体層の形成方法の第2の実施の形態により半導体層としてGaN薄膜を形成する状態が模式的に示されており、図7（b）には、MOCVD法を用いて図7（a）に示す薄膜構造を形成する際の処理条件が示されている。

【0071】ここで、本発明による半導体層の形成方法の第2の実施の形態と本発明による半導体層の形成方法の第1の実施の形態とを比較すると、上記した本発明による半導体層の形成方法の第1の実施の形態においては半導体層（GaN層18）を1層のみ形成したのに対して（図3（d）参照）、本発明による半導体層の形成方

法の第2の実施の形態は、半導体層を複数層積層して形成するものである。

【0072】より詳細には、本発明による半導体層の形成方法の第1の実施の形態と同様にして形成された半導体層たるGaN層18の表面に、さらに半導体層たるGaN層20を積層するものである。

【0073】従って、基板としての6H-SiC（0001）基板10上に、バッファー層としてAlN（窒化アルミニウム）薄膜12を形成し、その後、当該AlN薄膜12上に、バッファー層としてGaNバッファー層14を形成してから（図3（a）参照）、このGaNバッファー層14の表面14aにTESiを供給して（図3（b）参照）GaN層18を形成するまで（図3（c）（d）参照）の処理条件等（図4（a）～（d）参照）は、上記した本発明による半導体層の形成方法の第1の実施の形態の動作の説明と同様であるので、当該説明を援用することにより詳細な説明を省略する。

【0074】即ち、図4（a）～（d）に示す処理条件により形成されたGaN層18（図3（d）参照）中の構造欠陥の欠陥密度、特に、貫通転位の転位密度は著しく低減されており、当該GaN層18を形成した（図3（d）に示す状態）後に、GaNへのn型不純物原料として用いられている金属であるTESiを、図7（b-1）に示す処理条件によりタイミングT1（図5参照）で、GaN層18の表面に供給する。

【0075】そして、タイミングT1（図5参照）から所定時間t1後（図5参照）のタイミングT2（図5参照）において、GaNバッファー層14の表面14aへのTESiの供給を終了するとともに、図7（b-2）に示す処理条件により、トリメチルガリウム（TMG）およびアンモニア（NH₃）の供給を開始して、GaN18上にTESiの供給の処理を行った界面（図7（a）参照）を介してGaN層20を形成する。

【0076】このようにして形成されたGaN層20中（膜厚1nm）においても、GaN層18と同様に、構造欠陥の欠陥密度、特に、貫通転位の転位密度は、上記したような構造欠陥抑制物質たるTESiの作用により、著しく低減しているものである。

【0077】つまり、本発明による半導体層の形成方法の第2の実施の形態によれば、形成された半導体層（GaN層18）の表面に、構造欠陥抑制物質（TESi）の供給とトリメチルガリウム（TMG）およびアンモニア（NH₃）の供給とを繰り返し行うようにして、半導体層たるGaN層18とGaN層20とを複数層積層することができる。

【0078】次に、図8（a）（b）を参照しながら、本発明による半導体層の形成方法の第3の実施の形態を説明する。

【0079】図8（a-1）（a-2）には、本発明による半導体層の形成方法の第3の実施の形態により半導

体層としてGaN薄膜を形成する状態が時系列に従つて模式的に示されており、図8 (a-1) に示す状態から図8 (b-2) に示す状態に移行するものである。

【0080】なお、図8 (a-1) に示す状態は、図3 (b) に示す状態に対応するものであり、図8 (a-2) に示す状態は、図3 (d) に示す状態に対応するものである。

【0081】また、図8 (b) には、MOCVD法を用いて図8 (a-2) に示す薄膜構造を形成する際の処理条件が示されている。

【0082】ここで、本発明による半導体層の形成方法の第3の実施の形態と本発明による半導体層の形成方法の第1の実施の形態とを比較すると、上記した本発明による半導体層の形成方法の第1の実施の形態においてはGaNバッファー層14の表面14aにTESiのみを供給したのに対して(図3 (b) ならびに図4 (c) 参照)、本発明による半導体層の形成方法の第3の実施の形態は、GaNバッファー層14の表面14aにTESiを供給するとともに光の供給も行なうものである。

【0083】より詳細には、本発明による半導体層の形成方法の第1の実施の形態と同様にして形成されたバッファー層たるGaNバッファー層14の表面14aに、TESiを供給するとともに水銀ランプによる光の供給を行なうものである。

【0084】従つて、基板としての6H-SiC (0001) 基板10上に、バッファー層としてAlN(窒化アルミニウム)薄膜12を形成し、その後、当該AlN薄膜12上に、バッファー層としてGaNバッファー層14を形成するまで(図3 (a) 参照)の処理条件等

(図4 (a) (b) 参照)は、上記した本発明による半導体層の形成方法の第1の実施の形態の動作の説明と同様であるので、当該説明を援用することにより詳細な説明を省略する。

【0085】即ち、図4 (a) (b) に示す処理条件により形成されたGaNバッファー層14(図3 (a) 参照)の表面に、図8 (b) に示す処理条件によりタイミングT1(図5参照)でTESiを供給する(図8 (a-1) 参照)。

【0086】この際、GaNバッファー層14の表面14aには、TESiの供給とともに水銀ランプが0.1pJ/cm²の強度で連続照射されるものであり、当該水銀ランプの照射により、GaNバッファー層14の表面14aにおけるTESi中のSiの表面拡散が促進される。

【0087】このため、TESi中のSiがGaNバッファー層14の表面14aの転位芯位置に容易に吸着するようになり、GaNバッファー層14の表面14aの原子レベルにおける改質が一層促進される。

【0088】そして、タイミングT1(図5参照)から所定時間t1後(図5参照)のタイミングT2(図5参

照)において、GaNバッファー層14の表面14aへのTESiの供給を終了するとともに、図4 (d) に示す処理条件により、トリメチルガリウム(TMG)およびアンモニア(NH₃)の供給を開始して、GaNバッファー層14上に水銀ランプの照射下でTESiの供給の処理を行った界面(図8 (a-2) 参照)を介してGaN層18を形成する(図8 (a-2) 参照)。

【0089】このようにして形成されたGaN層18中(膜厚1nm)の構造欠陥の欠陥密度、特に、貫通転位の転位密度は、上記したような構造欠陥抑制物質たるTESiの作用により著しく低減しているものである。

【0090】つまり、本発明による半導体層の形成方法の第3の実施の形態よれば、構造欠陥抑制物質たるTESiの供給により、半導体層たるGaN層18中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を著しく低減することができ、また、構造欠陥抑制物質であるTESiの供給とともに水銀ランプの照射を行うようにしたので、TESi中のSiのGaNバッファー層14の表面14aにおける表面拡散が促進され、TESi中のSiがGaNバッファー層14の表面14aの転位芯位置に容易に吸着するようになり、GaNバッファー層14の表面14aの原子レベルにおける改質を一層促進することができる。

【0091】次に、図9 (a) (b) を参照しながら、本発明による半導体層の形成方法の第4の実施の形態を説明する。

【0092】図9 (a-1) (a-2) には、本発明による半導体層の形成方法の第4の実施の形態により半導体層としてGaN薄膜を形成する状態が時系列に従つて模式的に示されており、図9 (a-1) に示す状態から図9 (b-2) に示す状態に移行するものである。

【0093】なお、図9 (a-1) に示す状態は、図3 (b) に示す状態に対応するものであり、図9 (a-2) に示す状態は、図3 (d) に示す状態に対応するものである。

【0094】また、図9 (b) には、MOCVD法を用いて図9 (a-2) に示す薄膜構造を形成する際の処理条件が示されている。

【0095】ここで、本発明による半導体層の形成方法の第4の実施の形態と本発明による半導体層の形成方法の第1の実施の形態とを比較すると、上記した本発明による半導体層の形成方法の第1の実施の形態においてはGaNバッファー層14の表面14aにTESiのみを供給したのに対して(図3 (b) ならびに図4 (c) 参照)、本発明による半導体層の形成方法の第4の実施の形態は、GaNバッファー層14の表面14aにTESiを供給するとともに他の種類の構造欠陥抑制物質の供給も行なうものである。

【0096】より詳細には、本発明による半導体層の形成方法の第1の実施の形態と同様にして形成されたバッ

ファーレンたる GaN バッファー層 14 の表面 14a に、 TESi を供給するとともに TMIn の供給も行なうものである。

【0097】従って、基板としての 6H-SiC (0001) 基板 10 上に、バッファー層として AlN (窒化アルミニウム) 薄膜 12 を形成し、その後、当該 AlN 薄膜 12 上に、バッファー層として GaN バッファー層 14 を形成するまで (図 3 (a) 参照) の処理条件等

(図 4 (a) (b) 参照) は、上記した本発明による半導体層の形成方法の第 1 の実施の形態の動作の説明と同様であるので、当該説明を援用することにより詳細な説明を省略する。

【0098】即ち、図 4 (a) (b) に示す処理条件により形成された GaN バッファー層 14 (図 3 (a) 参照) の表面に、図 9 (b) に示す処理条件によりタイミング T1 (図 5 参照) で TESi を供給する (図 7 (a-1) 参照)。

【0099】この際、GaN バッファー層 14 の表面 14a には、 TESi の供給とともに TMIn が供給されるものであり、当該供給された TMIn 中の In により、GaN バッファー層 14 の表面 14a における TESi 中の Si の表面拡散が促進される。

【0100】このため、 TESi 中の Si が GaN バッファー層 14 の表面 14a の転位芯位置に容易に吸着するようになり、GaN バッファー層 14 の表面 14a の原子レベルにおける改質が一層促進される。

【0101】そして、タイミング T1 (図 5 参照) から所定時間 t1 後 (図 5 参照) のタイミング T2 (図 5 参照) において、GaN バッファー層 14 の表面 14a への TESi の供給を終了するとともに、図 4 (d) に示す処理条件により、トリメチルガリウム (TMG) およびアンモニア (NH₃) の供給を開始して、GaN バッファー層 14 上に TMIn とともに TESi の供給の処理を行った界面 (図 9 (a-2) 参照) を介して GaN 層 18 を形成する (図 7 (a-2) 参照)。

【0102】このようにして形成された GaN 層 18 中 (膜厚 1 nm) の構造欠陥の欠陥密度、特に、貫通転位の転位密度は、上記したような構造欠陥抑制物質たる TESi の作用により著しく低減しているものである。

【0103】つまり、本発明による半導体層の形成方法の第 4 の実施の形態によれば、構造欠陥抑制物質たる TESi の供給により、半導体層たる GaN 層 18 中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を著しく低減することができ、また、構造欠陥抑制物質である TESi の供給とともに TMIn の供給を行うようにしたので、 TESi 中の Si の GaN バッファー層 14 の表面 14a における表面拡散が促進され、 TESi 中の Si が GaN バッファー層 14 の表面 14a の転位芯位置に容易に吸着するようになり、GaN バッファー層 14 の表面 14a の原子レベルにおける改質を一層促進する

ことができる。

【0104】次に、図 10 (a) (b) を参照しながら、本発明による半導体層の形成方法の第 5 の実施の形態を説明する。

【0105】図 10 (a) には、本発明による半導体層の形成方法の第 5 の実施の形態により TESi と半導体層としての GaN 薄膜を形成するガスとが供給されるタイミングを示す説明図が示されており、図 10 (b) には、本発明による半導体層の形成方法の第 5 の実施の形態により半導体層として GaN 薄膜を形成する状態が模式的に示されている。

【0106】ここで、本発明による半導体層の形成方法の第 5 の実施の形態と本発明による半導体層の形成方法の第 1 の実施の形態とを比較すると、上記した本発明による半導体層の形成方法の第 1 の実施の形態においては TESi の供給と GaN 層 18 を形成するためのトリメチルガリウム (TMG) およびアンモニア (NH₃) の供給とが異なるタイミングで行われるのに対して (図 5 参照)、本発明による半導体層の形成方法の第 5 の実施の形態は、 TESi の供給と GaN 層 18 を形成するためのトリメチルガリウム (TMG) およびアンモニア (NH₃) の供給とが同じタイミングで行われるものである。

【0107】なお、基板としての 6H-SiC (0001) 基板 10 上に、バッファー層として AlN (窒化アルミニウム) 薄膜 12 を形成し、その後、当該 AlN 薄膜 12 上に、バッファー層として GaN バッファー層 14 を形成するまで (図 3 (a) 参照) の処理条件等 (図 4 (a) (b) 参照) は、上記した本発明による半導体層の形成方法の第 1 の実施の形態の動作の説明と同様であるので、当該説明を援用することにより詳細な説明を省略する。

【0108】より詳細には、本発明による半導体層の形成方法の第 1 の実施の形態においては、上記したようにして TESi の供給の開始 (図 5 タイミング T1 参照) と、 GaN 層 18 を形成するためのトリメチルガリウム (TMG) およびアンモニア (NH₃) の供給の開始 (図 5 タイミング T2 参照) とが異なるタイミングで行われるものであり、GaN バッファー層 14 の表面 14a に構造欠陥抑制物質である TESi と GaN 層 18 を形成するためのトリメチルガリウム (TMG) およびアンモニア (NH₃) とが同じタイミングで供給されることはない。

【0109】一方、本発明による半導体層の形成方法の第 5 の実施の形態においては、 GaN バッファー層 14 の表面 14a に、タイミング T1 (図 10 (a) 参照) で、図 4 (c) に示す処理条件により TESi の供給を開始するとともに、図 4 (d) に示す処理条件により GaN 層 18 を形成するためのトリメチルガリウム (TMG) およびアンモニア (NH₃) との供給を開始する。

【0110】そして、当該タイミングT1(図10(a)参照)から所定時間t1後(図10(a)参照)のタイミングT2(図10(a)参照)において、GaNバッファー層14の表面14aへのTESiの供給を終了する。

【0111】一方、当該タイミングT1(図10(a)参照)から所定時間t2後(図10(a)参照)のタイミングT4(図10(a)参照)において、GaN層18を形成するためのトリメチルガリウム(TMGS)およびアンモニア(NH₃)との供給を終了する。

【0112】従って、GaNバッファー層14の表面14aにTESiとGaN層18を形成するためのトリメチルガリウム(TMGS)およびアンモニア(NH₃)と同じタイミングで供給される。

【0113】その結果、タイミングT1からタイミングT2までの所定時間t1の間には、TESiとGaN層18を形成するためのトリメチルガリウム(TMGS)およびアンモニア(NH₃)とがともに供給されているので、TESiを含むTESi供給層16が形成される。

【0114】また、TESiの供給が終了したタイミングT2からタイミングT4までの間には、GaN層18を形成するためのトリメチルガリウム(TMGS)およびアンモニア(NH₃)のみが供給されているので、TESi供給層16の表面にGaN層18が形成される(図10(c)参照)。

【0115】このようにして形成されたGaN層18中(膜厚1nm)の構造欠陥の欠陥密度、特に、貫通転位の転位密度は、上記したような構造欠陥抑制物質たるTESiの作用により著しく低減しているものである。

【0116】つまり、本発明による半導体層の形成方法の第5の実施の形態によれば、構造欠陥抑制物質たるTESiとGaN層18を形成するためのトリメチルガリウム(TMGS)およびアンモニア(NH₃)とを同時に供給するようにして、半導体層たるGaN層18中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を著しく低減することができる。

【0117】次に、図11(a)を参照しながら、本発明による半導体層の形成方法の第6の実施の形態を説明する。

【0118】図11(a)には、本発明による半導体層の形成方法の第6の実施の形態により半導体層としてGaN薄膜を形成する状態が模式的に示されている。

【0119】ここで、本発明による半導体層の形成方法の第6の実施の形態と本発明による半導体層の形成方法の第5の実施の形態とを比較すると、上記した本発明による半導体層の形成方法の第5の実施の形態においてはTESi供給層16とGaN層18とをそれぞれ1層のみ形成したのに対して(図10(b)参照)、本発明による半導体層の形成方法の第6の実施の形態は、TESi供給層16とGaN層18とをそれぞれ複数層積層し

て形成するものである。

【0120】なお、基板としての6H-SiC(0001)基板10上に、バッファー層としてAlN(窒化アルミニウム)薄膜12を形成し、その後、当該AlN薄膜12上に、バッファー層としてGaNバッファー層14し、さらに当該GaNバッファー層14の表面14aにTESi供給層16とGaN層18とを形成するまでの処理条件等(図4(a)～(d)参照)は、上記した本発明による半導体層の形成方法の第5の実施の形態の動作の説明と同様であるので、当該説明を援用することにより詳細な説明を省略する。

【0121】そして、GaN層18の表面に、タイミングT1(図10(a)参照)で図7(b-1)に示す処理条件によりTESiの供給を開始するとともに、図7(b-2)に示す処理条件によりGaN層18'を形成するためのトリメチルガリウム(TMGS)およびアンモニア(NH₃)との供給を開始する。

【0122】そして、当該タイミングT1(図10(a)参照)から所定時間t1後(図10(a)参照)のタイミングT2(図10(a)参照)において、GaNバッファー層14の表面14aへのTESiの供給を終了する。

【0123】一方、当該タイミングT1(図10(a)参照)から所定時間t2後(図10(a)参照)のタイミングT4(図10(a)参照)において、GaN層18'を形成するためのトリメチルガリウム(TMGS)およびアンモニア(NH₃)との供給を終了する。

【0124】その結果、GaN層18の表面にはTESi供給層16'が形成され、当該TESi供給層16'の表面にGaN層18'が形成される(図11(a)参照)。

【0125】このようにして形成されたGaN層18'中(膜厚1nm)の構造欠陥の欠陥密度、特に、貫通転位の転位密度は、上記したような構造欠陥抑制物質たるTESiの作用により著しく低減しているものである。

【0126】つまり、本発明による半導体層の形成方法の第6の実施の形態によれば、形成された半導体層(GaN層18)の表面に、構造欠陥抑制物質(TESi)の供給とトリメチルガリウム(TMGS)およびアンモニア(NH₃)との供給とを繰り返し行うようにして、半導体層たるGaN層18とGaN層18'とを複数層積層することができる。

【0127】次に、図11(b)を参照しながら、本発明による半導体層の形成方法の第7の実施の形態を説明する。

【0128】図11(b-1)(b-2)には、本発明による半導体層の形成方法の第7の実施の形態により半導体層としてGaN薄膜を形成する状態が時系列に従つて模式的に示されており、図11(b-1)に示す状態50から図11(b-2)に示す状態に移行するものであ

る。

【0129】ここで、本発明による半導体層の形成方法の第7の実施の形態と本発明による半導体層の形成方法の第5の実施の形態とを比較すると、上記した本発明による半導体層の形成方法の第5の実施の形態においてはGaNバッファー層14の表面14aにTESiとGaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)とのみを同時に供給したのに対して、本発明による半導体層の形成方法の第7の実施の形態は、GaNバッファー層14の表面14aにTESiとGaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)とを同時に供給するとともに光の供給も行なうものである。

【0130】より詳細には、本発明による半導体層の形成方法の第1の実施の形態と同様にして形成されたバッファー層たるGaNバッファー層14の表面14aに、TESiとGaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)とを供給するとともに、水銀ランプによる光の供給を行なうものである。

【0131】従って、基板としての6H-SiC(0001)基板10上に、バッファー層としてAlN(窒化アルミニウム)薄膜12を形成し、その後、当該AlN薄膜12上に、バッファー層としてGaNバッファー層14を形成するまで(図3(a)参照)の処理条件等

(図4(a) (b)参照)は、上記した本発明による半導体層の形成方法の第1の実施の形態の動作の説明と同様であるので、当該説明を援用することにより詳細な説明を省略する。

【0132】即ち、図4(a) (b)に示す処理条件により形成されたGaNバッファー層14(図3(a)参照)の表面に、タイミングT1(図10(a)参照)で図8(b)に示す処理条件によりTESiの供給を開始するとともに、図4(d)に示す処理条件によりGaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)との供給を開始する。

【0133】この際、GaNバッファー層14の表面14aには、TESiとGaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)との供給とともに、水銀ランプが0.1pJ/cm²の強度で連続照射されるものであり、当該水銀ランプの照射によりTESi中のSiのGaNバッファー層14の表面14aにおける表面拡散が促進される。

【0134】このため、TESi中のSiがGaNバッファー層14の表面14aの転位芯位置に容易に吸着するようになり、GaNバッファー層14の表面14aの原子レベルにおける改質が一層促進される。

【0135】そして、タイミングT1(図10(a)参照)から所定時間t1後(図10(a)参照)のタイミングT2(図10(a)参照)において、GaNバッ

アー層14の表面14aへのTESiの供給を終了する。

【0136】一方、当該タイミングT1(図10(a)参照)から所定時間t2後(図10(a)参照)のタイミングT4(図10(a)参照)において、GaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)との供給を終了する。

【0137】このようにして形成されたGaN層18中(膜厚1nm)の構造欠陥の欠陥密度、特に、貫通転位の転位密度は、上記したような構造欠陥抑制物質たるTESiの作用により著しく低減しているものである。

【0138】つまり、本発明による半導体層の形成方法の第7の実施の形態によれば、構造欠陥抑制物質たるTESiとGaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)との同時供給により、半導体層たるGaN層18中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を著しく低減することができ、また、構造欠陥抑制物質であるTESiとGaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)との同時供給とともに

水銀ランプの照射を行うようにしたので、TESi中のSiのGaNバッファー層14の表面14aにおける表面拡散が促進され、TESi中のSiがGaNバッファー層14の表面14aの転位芯位置に容易に吸着するようになり、GaNバッファー層14の表面14aの原子レベルにおける改質を一層促進することができる。

【0139】次に、図11(c)を参照しながら、本発明による半導体層の形成方法の第8の実施の形態を説明する。

【0140】図11(c-1) (c-2)には、本発明による半導体層の形成方法の第8の実施の形態により半導体層としてGaN薄膜を形成する状態が時系列に従つて模式的に示されており、図11(c-1)に示す状態から図11(c-2)に示す状態に移行するものである。

【0141】ここで、本発明による半導体層の形成方法の第8の実施の形態と本発明による半導体層の形成方法の第8の実施の形態とを比較すると、上記した本発明による半導体層の形成方法の第8の実施の形態においてはGaNバッファー層14の表面14aにTESiとGaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)とのみを同時に供給したのに対して、本発明による半導体層の形成方法の第8の実施の形態は、GaNバッファー層14の表面14aにTESiとGaN層18を形成するためのトリメチルガリウム(TM-G)およびアンモニア(NH₃)とを同時に供給するとともに他の種類の構造欠陥抑制物質の供給も行なうものである。

【0142】より詳細には、本発明による半導体層の形成方法の第1の実施の形態と同様にして形成されたバッ

ファー層たるGaNバッファー層14の表面14aに、TESiとGaN層18を形成するためのトリメチルガリウム(TMГ)およびアンモニア(NH₃)とを供給するとともにTMInの供給を行なうものである。

【0143】従って、基板としての6H-SiC(0001)基板10上に、バッファー層としてAlN(窒化アルミニウム)薄膜12を形成し、その後、当該AlN薄膜12上に、バッファー層としてGaNバッファー層14を形成するまで(図3(a)参照)の処理条件等

(図4(a)(b)参照)は、上記した本発明による半導体層の形成方法の第1の実施の形態の動作の説明と同様であるので、当該説明を援用することにより詳細な説明を省略する。

【0144】即ち、図4(a)(b)に示す処理条件により形成されたGaNバッファー層14(図3(a)参照)の表面に、タイミングT1(図10(a)参照)で図9(b)に示す処理条件によりTESiとTMInとの供給を開始するとともに、図4(d)に示す処理条件によりGaN層18を形成するためのトリメチルガリウム(TMГ)およびアンモニア(NH₃)との供給を開始する。

【0145】この際、GaNバッファー層14の表面14aには、TESiとGaN層18を形成するためのトリメチルガリウム(TMГ)およびアンモニア(NH₃)との供給とともに、TESiの供給とともにTMInが供給されるものであり、当該供給されたTMIn中のInにより、GaNバッファー層14の表面14aにおける表面拡散が促進される。

【0146】このため、TESi中のSiがGaNバッファー層14の表面14aの転位芯位置に容易に吸着するようになり、GaNバッファー層14の表面14aの原子レベルにおける改質が一層促進される。

【0147】そして、タイミングT1(図10(a)参照)から所定時間t1後(図10(a)参照)のタイミングT2(図10(a)参照)において、GaNバッファー層14の表面14aへのTESiとTMInとの供給を終了する。

【0148】一方、当該タイミングT1(図10(a)参照)から所定時間t2後(図10(a)参照)のタイミングT4(図10(a)参照)において、GaN層18を形成するためのトリメチルガリウム(TMГ)およびアンモニア(NH₃)との供給を終了する。

【0149】このようにして形成されたGaN層18中(膜厚1nm)の構造欠陥の欠陥密度、特に、貫通転位の転位密度は、上記したような構造欠陥抑制物質たるTESiの作用により著しく低減しているものである。

【0150】つまり、本発明による半導体層の形成方法の第8の実施の形態によれば、構造欠陥抑制物質たるTESiとGaN層18を形成するためのトリメチルガリウム(TMГ)およびアンモニア(NH₃)との同時供

給により、半導体層たるGaN層18中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を著しく低減することができ、また、構造欠陥抑制物質であるTESiとGaN層18を形成するためのトリメチルガリウム(TMГ)およびアンモニア(NH₃)との同時供給とともにTMInの供給を行うようにしたので、TESi中のSiのGaNバッファー層14の表面14aにおける表面拡散が促進され、TESi中のSiがGaNバッファー層14の表面14aの転位芯位置に容易に吸着するようになり、GaNバッファー層14の表面14aの原子レベルにおける改質を一層促進することができる。

【0151】なお、上記した実施の形態は、以下の(1)乃至(10)に説明するように変形することができる。

【0152】(1) 上記した実施の形態においては、半導体層としてのGaN層18を1nmの膜厚に成長させGaN薄膜として形成するようにしたが、これに限られるものではないことは勿論であり、例えば、成長時間を変更するなどの各種の処理条件の変更を行い、GaN層18を厚膜やバルクとして形成するようにしてもよい。

【0153】(2) 上記した実施の形態においては、バッファー層たるGaNバッファー層14と半導体層たるGaN層18とはともにGaN層であり、即ち、バッファー層と半導体層とはホモ材料とするようにしたが、これに限られるものではないことは勿論であり、バッファー層と半導体層とをヘテロ材料とするようにしてもよく、例えば、バッファー層たるAlGaN層と半導体層たるGaN層18とを形成するようにしてもよい。

【0154】(3) 上記した実施の形態においては、薄膜製造方法としてMOCVDを用いるようにしたが、これに限られるものではないことは勿論であり、MOCVD以外の薄膜製造技術、例えば、図12(a)に示すような、MBE(Molecular Beam Epitaxy)、CBE(Chemical Beam Epitaxy)、HVPE(Halide Vapor Phase Epitaxy)、GSMBE(Gassource Molecular Beam Epitaxy)、MOMBE(Metal organic MBE)、LPE(Liquid Phase Epitaxy)、CVD(Chemical Vapor Deposition)、スパッタリングまたは真空蒸着法などの各種の薄膜製造技術を用いるようにしてもよい。

【0155】例えば、GSMBE法を用いた場合には、図13に示す処理条件によりGaN薄膜を形成するようにし、他の薄膜製造方法においても、当該薄膜製造方法に応じて各種処理条件等の変更を行えばよい。

【0156】(4) 上記した実施の形態においては、基板として6H-SiC(0001)を用い、構造欠陥抑制物質としてTESiのSiが供給されるようにし、形

成される構造欠陥が低減された半導体層は GaN 層としたが、これに限られるものではないことは勿論であり、基板として炭化シリコン基板 (6H-SiC 基板、4H-SiC 基板)、炭化シリコンとシリコンとの積層基板 (SiC/Si 基板)、シリコン基板 (Si 基板)、サファイア基板 (Al₂O₃ 基板)、酸化亜鉛とサファイアとの積層基板 (ZnO/Al₂O₃ 基板)、ゲルマニウム基板 (Ge 基板)、ヒ化ガリウム基板 (GaAs 基板)、ヒ化インジウム基板 (InAs 基板)、リン化ガリウム基板 (GaP 基板)、リン化インジウム基板 (InP 基板) またはスピネル基板 (MgAl₂O₄、LiGaO₂) を用いるようにしてもよく (図12 (b) 参照)、構造欠陥抑制物質として元素の周期表における I-A 族の H (水素)、II-A 族の Be (ベリリウム)、Mg (マグネシウム)、III-B 族の Al (アルミニウム)、Ga (ガリウム)、In (インジウム)、IV-B 族の C (炭素)、Si (ケイ素)、Ge (ゲルマニウム)、Sn (スズ)、V-B 族の N (窒素)、P (リン)、As (ヒ素)、Sb (アルチモン)、または VI-B 族の O (酸素)、S (硫黄)、Se (セレン)、Te (テルル) を用いるようにしてもよく (図12 (c) 参照)、形成される構造欠陥が低減された半導体層は、IV 族半導体である C (ダイヤモンド)、Si (シリコン)、Ge (ゲルマニウム)、SiC、SiGe、SiCGe であるか、III-V 族二元系半導体である BN、AlN、GaN、InN、BP、AlP、GaP、InP、BAs、AlAs、GaAs、InAs であるか、III-V 族三元系混晶半導体である Ba1N、B GaN、B InN、Al GaN、Al InN、Ga InN、Ba1P、B GaP、B InP、Al GaP、Al InP、Ga InP、Ba1As、B GaAs、B InAs、Al GaAs、Al InAs、Ga InAs、BNP、BNAs、BPAs、Al NP、Al NAs、Al PAs、Ga NP、Ga NAs、Ga PAs、In NP、In NAs、In PAs であるか、III-V 族四元系混晶半導体である Ba1GaN、Ba1InN、B GaInN、Al GaInN、Ba1GaP、Ba1InP、B GaInP、Al GaInP、Ba1GaAs、Ba1InAs、B GaInAs、Al GaInAs、Al InNAs、Al InNAs、Ga InNAs、Ba1PAs、B GaPAs、B InPAs、Al GaPAs、Al InPAs、Ga InPAs、BNPAs、Al NPAs、Ga NPAs、In NPAs であるか、または II-VI 族半導体である ZnO、ZnS、ZnSe、ZnTe、CdO、CdS、CdSe、CdTe、ZnCdO、ZnCdS、ZnCdSe、ZnCdTe、ZnOS、ZnOSe、ZnOTE、ZnSSe、

ZnSTE、ZnSeTe、CdOS、CdOSe、CdOTE、CdSSe、CdSSTE、CdSeTe、ZnCdOS、ZnCdOSe、ZnCdOTE、ZnCdSSe、ZnCdSSTE、ZnCdSeTe、ZnOSSe、ZnOSTE、ZnOSeTe、ZnSSeTe、CdOSSe、CdOSTe、CdOSeTe、CdSSeTe としてもよい (図12 (d) 参照)。

【0157】この際、形成される半導体層に応じて半導体層を形成するための原料を供給するようにすればよい。

【0158】(5) 上記した本発明による半導体層の形成方法の実施の形態においては、形成される構造欠陥が低減された半導体層を、トリメチルガリウム (TMG) とアンモニア (NH₃) を用いた GaN 層としたが、これに限られるものではないことは勿論であり、固体ガリウム (Ga)、トリメチルガリウム (TMG) またはトリエチルガリウム (TEG) と、窒素ラジカル、アンモニア (NH₃)、モノメチルヒドラジン (MMHy) またはジメチルヒドラジン (DMHy) とを用いた GaN 層であってもよく、また、固体ガリウム (Ga)、トリメチルガリウム (TMG) またはトリエチルガリウム (TEG) と、固体アルミニウム (Al)、トリメチルアルミニウム (TMA)、トリエチルアルミニウム (TEA)、トリメチルアミニアラン (TMAA1)、ジメチルエチルアミニアラン (DMEAA1) またはトリイソブチルアルミニウム (TIBA1) と、窒素ラジカル、アンモニア (NH₃)、モノメチルヒドラジン (MMHy) またはジメチルヒドラジン (DMHy) とを用いた Al₁GaN 層でもよく、また、固体アルミニウム (Al)、トリメチルアルミニウム (TMA)、トリエチルアルミニウム (TEA)、トリメチルアミニアラン (TMAA1)、ジメチルエチルアミニアラン (DMEAA1) またはトリイソブチルアルミニウム (TIBA1) と、窒素ラジカル、アンモニア (NH₃)、モノメチルヒドラジン (MMHy) またはジメチルヒドラジン (DMHy) とを用いた Al₁N 層でもよい (図14 (a) 参照)。

【0159】(6) 上記した本発明による半導体層の形成方法の実施の形態においては、構造欠陥抑制物質としての Si の供給にテトラエチルシラン (TESi) を用いたが、これに限られるものではないことは勿論であり、固体シリコン (Si)、シラン (SiH₄)、ジシラン (Si₂H₆)、メチルシラン (CH₃SiH₃)、ジメチルシラン ((CH₃)₂SiH₂)、ジエチルシラン ((C₂H₅)₂SiH₂)、トリメチルシラン ((CH₃)₃SiH)、トリエチルシラン ((C₂H₅)₃SiH) またはテトラメチルシラン (TMSi) によって Si を供給するようにしてもよい (図14 (b) 参照)。

【0160】(7) 上記した本発明による半導体層の

形成方法の第2の実施の形態ならびに第6の実施の形態においては、半導体層としてのGaN層18の表面にGaN層18'、20を1層のみ積層するようにしたが（図7（a）ならびに図11（a）参照）、これに限られるものではないことは勿論であり、半導体層としてのGaN層18の表面に半導体層を2層以上の積層するようにもよい。

【0161】（8）上記した本発明による半導体層の形成方法の第3の実施の形態ならびに第7の実施の形態においては、GaNバッファー層14の表面14aにTESiを供給するとともに水銀ランプを用いて光を照射するようにしたが（図8ならびに図11（b）参照）、これに限られるものではないことは勿論であり、構造欠陥抑制物質をGaNバッファー層14の表面14aに供給する際に、レーザー（100nm～10ミクロンの波長を有するもの、例えば、エキシマレーザー、He-Cdレーザー、Arレーザー、Krレーザー、He-Neレーザー、N₂レーザーあるいは炭酸ガスレーザーなど）、重水素ランプ、キセルノンランプなどを用い、電子線、ラジカル、イオンビームならびに原子状水素などをGaNバッファー層14の表面14aに供給するようにもよい。

【0162】（9）上記した本発明による半導体層の形成方法の第4の実施の形態ならびに第8の実施の形態においては、TESiの供給とともにTMI_nの供給を行うようにしたが（図9ならびに図11（c）参照）、これに限られるものではないことは勿論であり、構造欠陥抑制物質である元素の周期表におけるI-A族のH（水素）、I-II-A族のBe（ベリリウム）、Mg（マグネシウム）、I-III-B族のAl（アルミニウム）、Ga（ガリウム）、In（インジウム）、IV-B族のC（炭素）、Si（ケイ素）、Ge（ゲルマニウム）、Sn（スズ）、V-B族のN（窒素）、P（リン）、As（ヒ素）、Sb（アルチモン）、またはVI-B族のO（酸素）、S（硫黄）、Se（セレン）、Te（テルル）のうちの少なくとも2種類の構造欠陥抑制物質を、原子または化合物としてGaNバッファー層14の表面14aに供給するようにもよい。

【0163】（10）上記した実施の形態ならびに上記（1）乃至（9）に示す変形例は、適宜に組み合わせるようにもよい。

【0164】

【発明の効果】本発明は、以上説明したように構成されているので、各種の材料からなる基板上などにGaNなどの薄膜や厚膜の半導体層を形成する場合において、煩雑な工程を必要とすることなしに、当該半導体層中の構造欠陥の欠陥密度、特に、貫通転位の転位密度を大幅に低減させることができるようにして、作業時間の短縮化を図ることができるとともに、製造コストを低減するとのできるという優れた効果を奏する。

【図面の簡単な説明】

【図1】従来の6H-SiC（0001）基板上にAlN薄膜を介して形成されたGaN薄膜の薄膜構造を模式的に示す説明図である。

【図2】ELO法により基板上にバッファー層を介してGaN薄膜を形成した状態を模式的に示す説明図であり、（a）は第1のGaN層上に所定のマスクパターンでマスクを形成した状態を模式的に示す説明図であり、（b）は第2のGaN層を形成した状態を模式的に示す説明図である。

【図3】本発明による半導体層の形成方法によって6H-SiC（0001）基板上にGaN薄膜を形成する状態を時系列に従って模式的に示す説明図であり、（a）は6H-SiC（0001）基板上にAlN薄膜を形成し、当該AlN薄膜上にGaN層を形成した状態を模式的に示す説明図であり、（b）はGaN層の表面にテトラエチルシラン（TESi）を供給した状態を模式的に示す説明図であり、（c）は供給されたTESiのSiがGaN層の表面に吸着した状態を模式的に示す説明図であり、（d）は本発明による半導体層の形成方法によって6H-SiC（0001）基板上に形成されたGaN薄膜の薄膜構造を模式的に示す説明図である。

【図4】MOCVDを用いて図3（d）に示す薄膜構造を形成する際の処理条件を示す表であり、（a）は6H-SiC（0001）基板上にAlN薄膜を形成するときの処理条件を示す表であり、（b）はAlN薄膜上にGaNバッファー層を形成するときの処理条件を示す表であり、（c）はGaNバッファー層上にTESiを供給するときの処理条件を示す表であり、（d）はトリメチルガリウム（TMG）およびアンモニア（NH₃）を供給するときの処理条件を示す表である。

【図5】本発明による半導体層の形成方法の第1の実施の形態により、TESiと半導体層としてのGaN薄膜を形成するガスとが供給されるタイミングを示す説明図である。

【図6】TEMによる図3（d）に示す薄膜構造の断面の電子顕微鏡写真である。

【図7】（a）は、本発明による半導体層の形成方法の第2の実施の形態により半導体層としてGaN薄膜を形成した状態を模式的に示す説明図であり、（b）は、MOCVD法を用いて（a）に示す薄膜構造を形成する際の処理条件が示す表である。

【図8】（a-1）（a-2）は、本発明による半導体層の形成方法の第3の実施の形態により半導体層としてGaN薄膜を形成した状態を時系列に従って模式的に示す説明図であり、（b）は、MOCVD法を用いて（a-1）（a-2）に示す薄膜構造を形成する際の処理条件が示す表である。

【図9】（a-1）（a-2）は、本発明による半導体層の形成方法の第4の実施の形態により半導体層として

GaN薄膜を形成した状態を時系列に従って模式的に示す説明図であり、(b)は、MOCVD法を用いて(a-1)(a-2)に示す薄膜構造を形成する際の処理条件が示す表である。

【図10】(a)は、本発明による半導体層の形成方法の第5の実施の形態により、TESiと半導体層としてのGaN薄膜を形成するガスとが供給されるタイミングを示す説明であり、(b)は、本発明による半導体層の形成方法の第5の実施の形態により半導体層としてGaN薄膜を形成した状態を模式的に示す説明図である。

【図11】(a)は、本発明による半導体層の形成方法の第6の実施の形態により半導体層としてGaN薄膜を形成した状態を模式的に示す説明図であり、(b-1)

(b-2)は、本発明による半導体層の形成方法の第7の実施の形態により半導体層としてGaN薄膜を形成した状態を時系列に従って模式的に示す説明図であり、

(c-1)(c-2)は、本発明による半導体層の形成方法の第8の実施の形態により半導体層としてGaN薄膜を形成した状態を時系列に従って模式的に示す説明図である。

【図12】本発明による半導体層の形成方法において用いることのできる薄膜製造方法(a)、基板(b)、構造欠陥抑制物質(c)、形成される構造欠陥が低減された半導体層(d)を示す表である。

【図13】GSMBE法を用いてGaN薄膜を形成する

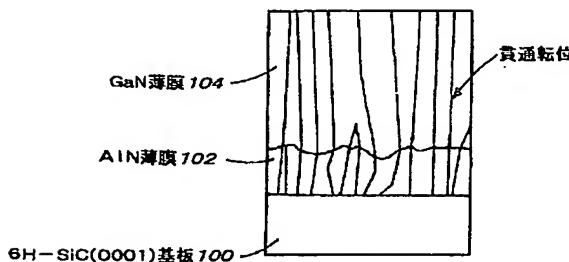
際の処理条件を示す表であり、(a)は6H-SiC(0001)基板上にAlN薄膜を形成するときの処理条件を示す表であり、(b)はAlN薄膜上にGaNバッファー層を形成するときの処理条件を示す表であり、(c)はGaNバッファー層上にTESiを供給するときの処理条件を示す表であり、(d)はトリメチルガリウム(TMG)およびアンモニア(NH₃)を供給するときの処理条件を示す表である。

【図14】本発明による半導体層の形成方法において用いることのできる半導体層を形成するために供給する原料と形成される半導体層(a)、構造欠陥抑制物質(b)を示す表である。

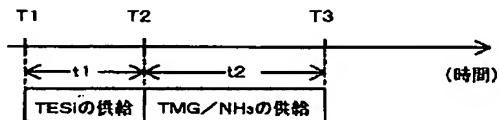
【符号の説明】

10、100	6H-SiC(0001)
基板	
12、102	AlN薄膜
14	GaNバッファー層
14a	表面
16	TESi供給層
20 18、18'、20	GaN層
200	基板
202	バッファー層
204	第1のGaN層
206	マスク
208	第2のGaN層

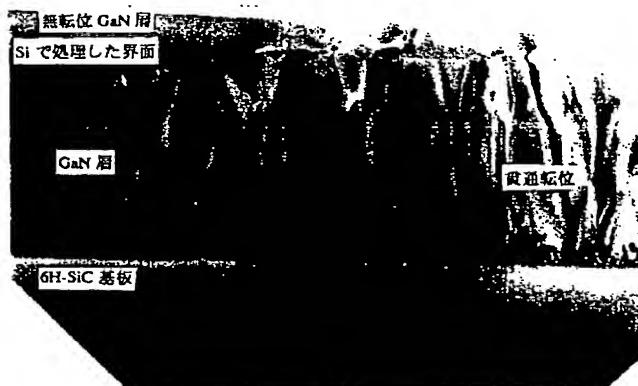
【図1】



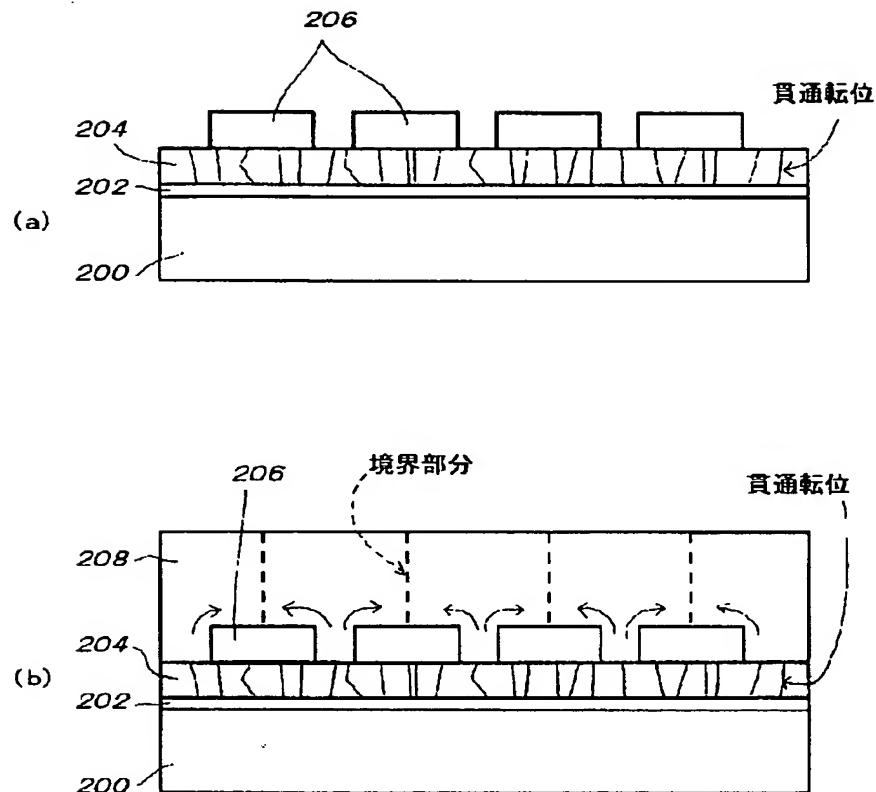
【図5】



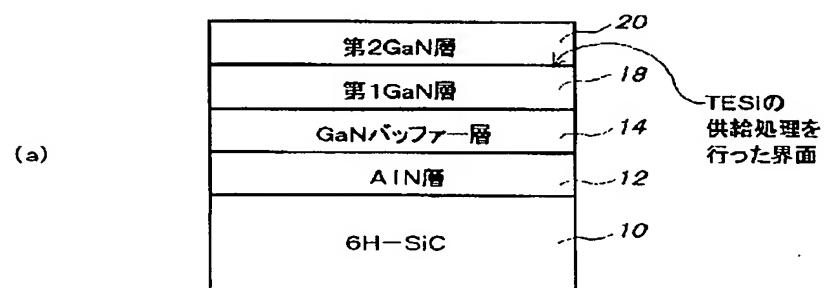
【図6】



【図 2】

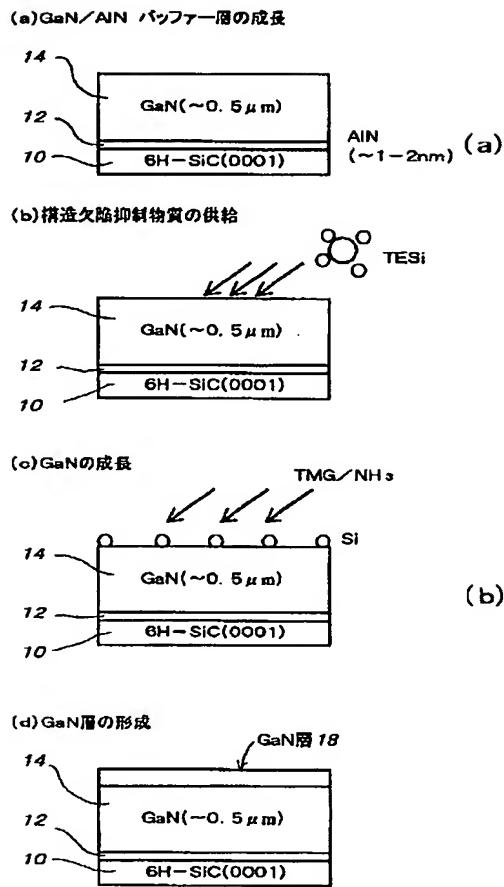


【図 7】

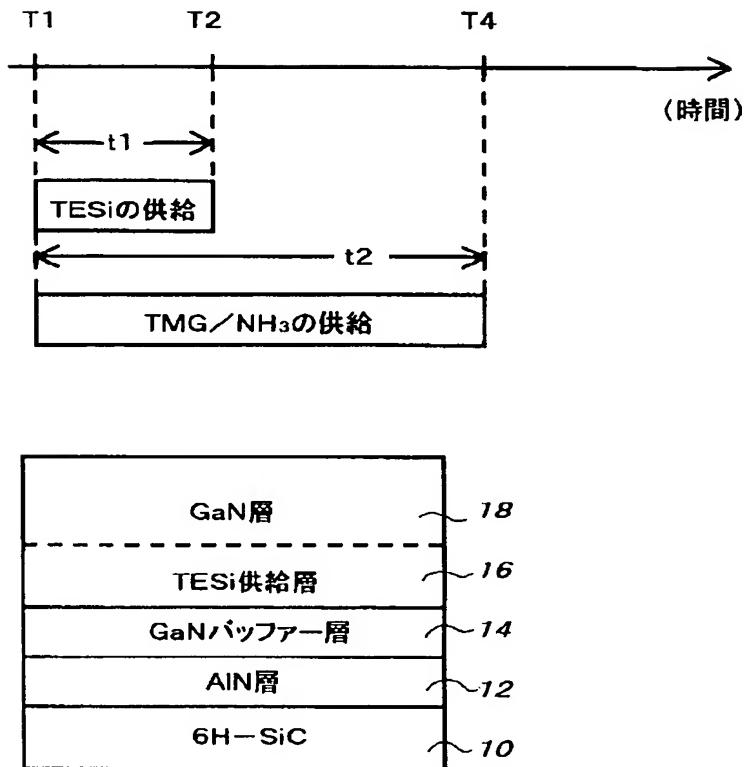


(b-1)	Si供給時	温度: 1080度 圧力: 76Torr TESI供給量(水素キャリア): 32nmol(96nmol/min.)
(b-2)	GaN成長時	温度: 1080度 圧力: 76Torr TMG供給速度(水素キャリア): 46 μmol/min. NH ₃ 供給量: 2SLM

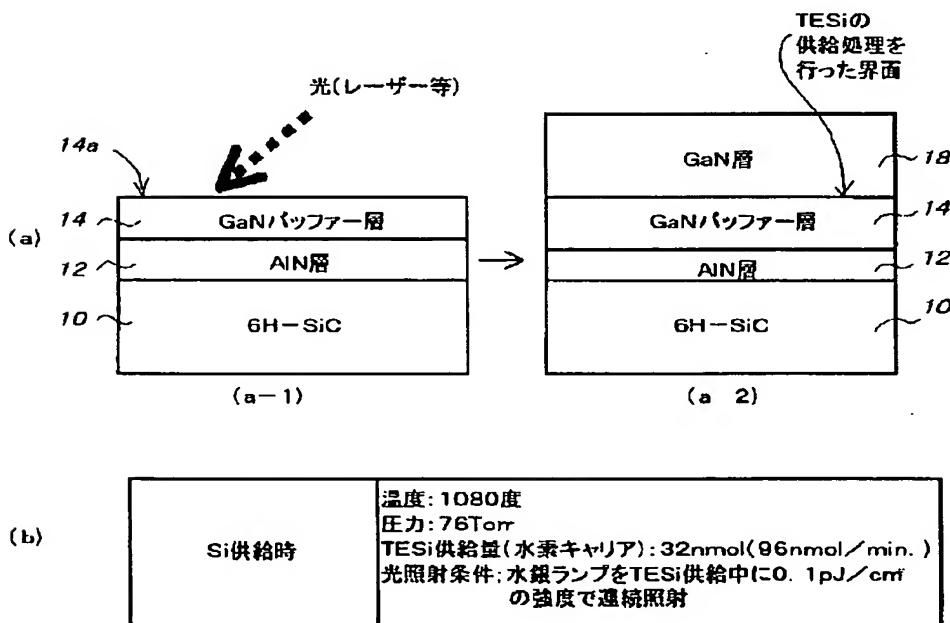
【図 3】



【図 10】



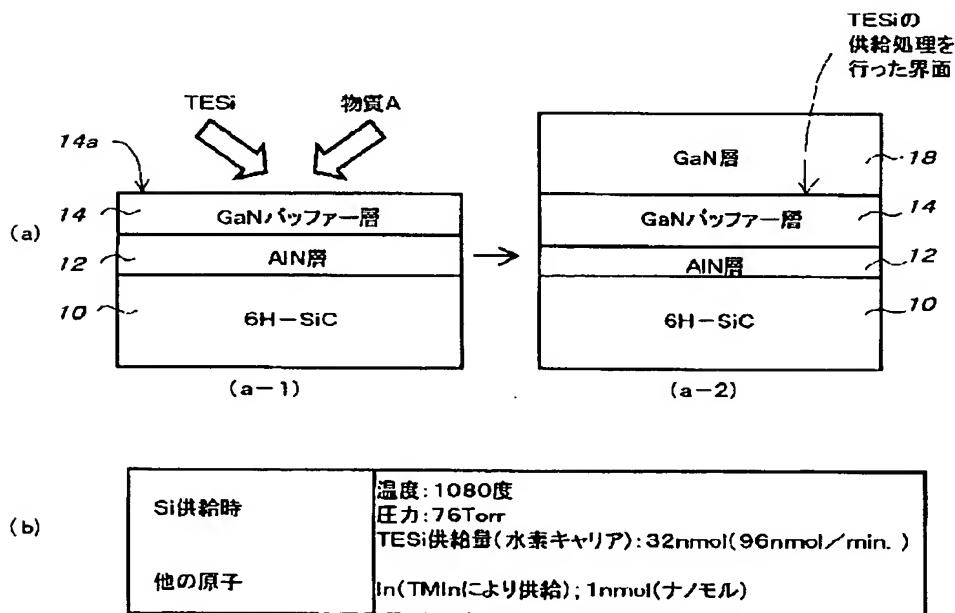
【図 8】



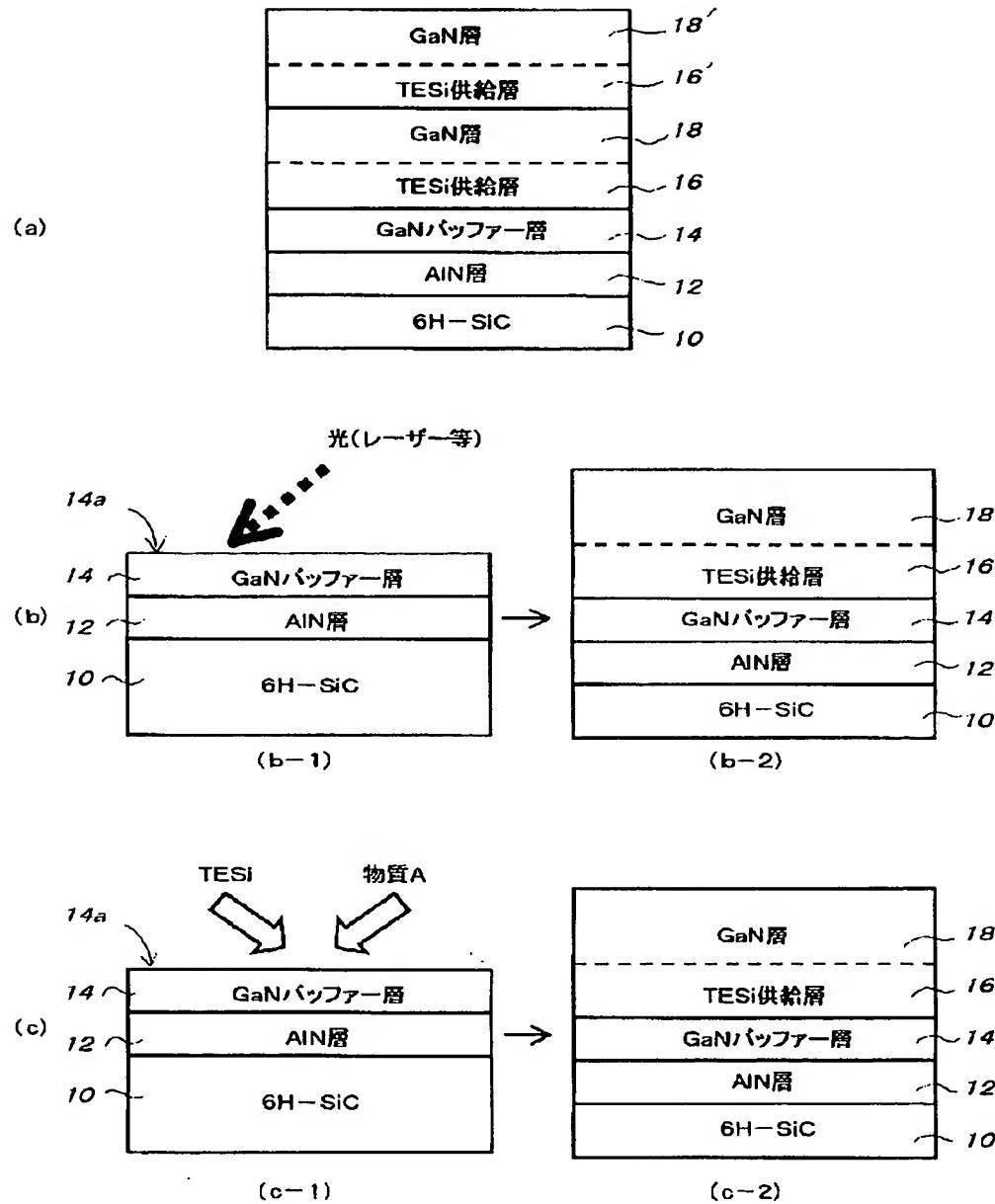
【図4】

(a)	6H-SiC(0001) 基板10上に、 AIN薄膜12を 形成するとき	反応装置内温度: 1100°C 反応装置内圧力: 76Torr 原料ガス : NH ₃ /TMA = 0.09(mol/min) / 2.2(μmol/min) = ~40000 ガス供給 : 同時/交互供給 膜厚 : ~1-2nm
(b)	AIN薄膜12上に、 GaN層14を形成 するとき	反応装置内温度: 1080°C 反応装置内圧力: 76Torr 原料ガス : NH ₃ /TMG = 0.09(mol/min) / 48(μmol/min) = 1875 ガス供給 : 同時供給 膜厚 : ~0.5 μm
(c)	GaN層14上に TESiを供給 するとき	反応装置内温度: 1080°C 反応装置内圧力: 76Torr 原料ガス : TESi(水素キャリア) = 32nmol(96nmol/min)
(d)	トリメチルガリウム (TMG)および アンモニア(NH ₃)を 供給するとき	反応装置内温度: 1080°C 反応装置内圧力: 76Torr 原料ガス : TMG供給速度(水素キャリア) 46 μmol/min : NH ₃ 供給量 2SLM ガス供給時間 : 15min

【図9】



【図 1 1】



【図 12】

(a)	薄膜製造技術	MOCVD, MBE, CBE, HVPE, LPE, GSMBE, MOMBE CVD, スパッタリング, LPE, 真空蒸着法 等
(b)	基板	ZnO/Al ₂ O ₃ 基板, Ge基板, スピネル基板 6H-SiC基板, 4H-SiC基板, SiC/Si基板, Si基板 サファイア(Al ₂ O ₃)基板, GaAs基板, InAs基板, GaP基板 InP基板 等
(c)	構造欠陥抑制物質	・(I族)H ・(II族)Be, Mg ・(III族)Al, Ga, In ・(IV族)C, Si, Ge, Sn ・(V族)N, P, As, Sb ・(VI族)O, S, Se, Te
(d)	形成される構造欠陥が低減された半導体層	<p>・IV族半導体 C(ダイヤモンド), Si(シリコン), Ge(ゲルマニウム), SiC, SiGe, SiCGe</p> <p>・III-V族二元系半導体 BN, AlN, GaN, InN, BP, AlP, GaP, InP, BAs, AlAs, GaAs, InAs</p> <p>・III-V族三元系混晶半導体 BAlN, BGaN, BInN, AlGaN, AlInN, GaInN, BAlP, BGaP, BInP, AlGaP, AlInP, GaInP, BAlAs, BGaAs, BInAs, AlGaAs, AlInAs, GaInAs, BNP, BNA, BPA, AINP, AlNAs, AlPAs, GaNP, GaNAs, GaPAs, InNP, InNAs, InPAs</p> <p>・III-V族四元系混晶半導体 BAIGaN, BAlInN, BGaInN, AlGaInN, BAlGaP, BAlInP, BGaInP, AlGaInP, BAlGaAs, BAlInAs, BGaInAs, AlGaInAs, BAlNP, BGaNP, BInNP, AlGaNP, AlInNP, GaInNP, BAlNAs, BGaNAs, BInNAs, AlGaNAs, AlInNAs, GaInNAs, BAlPAs, BGaPAs, BInPAs, AlGaPAs, AlInPAs, GaInPAs, BNPAs, AlNPAs, GaNPAs, InNPAs</p> <p>・II-VI族半導体 ZnO, ZnS, ZnSe, ZnTe, CdO, CdS, CdSe, CdTe, ZnCdO, ZnCdS, ZnCdSe, ZnCdTe, ZnOS, ZnOSe, ZnOTe, ZnSSe, ZnSTE, ZnSeTe, CdOS, CdOSe, CdOTe, CdSSe, CdSTe, CdSeTe, ZnCdOS, ZnCdOSe, ZnCdOTe, ZnCdSSe, ZnCdSTe, ZnCdSeTe, ZnOSSe, ZnOSTe, ZnOSeTe, ZnSSeTe, CdOSSe, CdOSTe, CdOSeTe, CdSSeTe</p>

【図 13】

(a)	6 H - SiC (001) 基板状に AlN 薄膜を形成するとき	結晶成長基板温度: 800°C 結晶成長装置内圧力: 3×10^{-5} Torr 原料: 固体 Al (クヌードセンセル温度 1100°C) NH ₃ ガス (2 SCCM) 膜厚: ~ 2 nm
(b)	AlN 薄膜上に GaN 層を形成するとき	結晶成長基板温度: 700°C 結晶成長装置内圧力: 3×10^{-5} Torr 原料: 固体 Ga (クヌードセンセル温度 900°C) NH ₃ ガス (2 SCCM) 膜厚: ~ 0.5 μm
(c)	GaN 層上に Si を供給するとき	結晶成長基板温度: 700°C 結晶成長装置内圧力: 1×10^{-7} Torr 原料: 固体 Si (クヌードセンセル温度 1100°C) 膜厚: ~ 0.3 nm
(d)	Si を吸着した GaN 層上に GaN 層を形成するとき	結晶成長基板温度: 700°C 結晶成長装置内圧力: 3×10^{-5} Torr 原料: 固体 Ga (クヌードセンセル温度 900°C) NH ₃ ガス (2 SCCM) 膜厚: 0.5 μm

【図 14】

(a) 半導体層を形成するために供給する原料と形成される半導体層	- 固体ガリウム(Ga)、トリメチルガリウム(TMГ)またはトリエチルガリウム(TEГ)と、 窒素ラジカル、アンモニア(NH ₃)、モノメチルヒドラジン(MMH ₃)またはジメチルヒドラジン(DMH ₃)とを用いたGaN層 - 固体ガリウム(Ga)、トリメチルガリウム(TMГ)またはトリエチルガリウム(TEГ)と、固体 アルミニウム(Al)、トリメチルアルミニウム(TMA)、トリエチルアルミニウム(TEA)、 トリメチルアミンアラン(TMAA)、ジメチルエチルアミンアラン(DMEAAl)または トリイソブチルアルミニウム(TIBAl)と、窒素ラジカル、アンモニア(NH ₃)、モノメチルヒドラジン(MMH ₃)またはジメチルヒドラジン(DMH ₃)とを用いたAlGaN層 - 固体アルミニウム(Al)、トリメチルアルミニウム(TMA)、トリエチルアルミニウム(TEA)、 トリメチルアミンアラン(TMAA)、ジメチルエチルアミンアラン(DMEAAl)または トリイソブチルアルミニウム(TIBAl)と、窒素ラジカル、アンモニア(NH ₃)、モノメチルヒドラジン(MMH ₃)またはジメチルヒドラジン(DMH ₃)とを用いたAlN層
(b) 構造欠陥抑制物質としての Si の供給に用いる物質	固体シリコン(Si)、シリラン(SiH ₄)、ジシリラン(Si ₂ H ₆)、メチルシリラン(CH ₃ SiH ₃)、ジメチルシリラン((CH ₃) ₂ SiH ₂)、ジエチルシリラン((C ₂ H ₅) ₂ SiH ₂)、トリメチルシリラン((CH ₃) ₃ SiH)、トリエチルシリラン((C ₂ H ₅) ₃ SiH)、テトラメチルシリラン(TMSi)

フロントページの続き

(72)発明者 田中 悟 F ターム(参考) 5F041 AA31 AA40 CA23 CA33 CA34
北海道札幌市中央区宮の森 1-13-2-3 CA40 CA65 CA77
ソレアード宮の森 3-2 5F045 AA04 AA05 AA11 AA18 AA19
(72)発明者 武内 道一 AB02 AB05 AB06 AB07 AB09
埼玉県富士見市関沢 2-4-27 AB11 AB12 AB14 AB17 AB18
(72)発明者 青柳 克信 AB22 AB23 AC01 AC07 AC08
埼玉県和光市広沢 2番 1号 理化学研究所 AC09 AC12 AD14 AD15 AE23
内 AF02 AF03 AF04 AF06 AF09
BB08 BB12 CA11 DA53 DQ08
EE12 EE18 EE19 HA18 HA19
5F073 CA07 CB02 CB04 CB05 CB07
DA05 DA35
5F103 AA04 AA05 AA08 BB06 DD02
DD03 DD04 DD05 DD06 DD07
DD08 DD11 DD13 DD16 DD17
DD21 DD23 HH03 LL02 RR01
RR08